

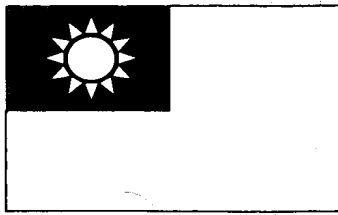
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092114981	Taiwan R.O.C	06/03/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



ALT-24

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 03 日
Application Date

申請案號：092114981
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日
Issue Date

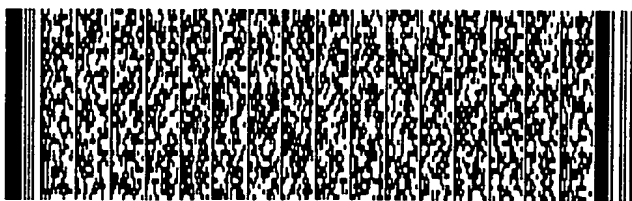
發文字號：09221017340
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	以多相位低頻訊號產生高頻訊號之方法及相關裝置
	英 文	Method and related apparatus for generating high frequency signals by a plurality of low frequency signals with multiple phases
二、 發明人 (共1人)	姓 名 (中文)	1. 陳昱辰
	姓 名 (英文)	1. Chen, Yu-Chen
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣汐止市新台五路一段八十八號二十一樓
	住居所 (英 文)	1. 21F, Sec. 1, Hsin-TaiWu Rd., Hsi-Chih City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 揚智科技股份有限公司
	名稱或 姓 名 (英文)	1. Acer Laboratories, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖路一段二四六號二樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F, No. 246, Sec. 1, Nei-Hu Rd., Taipei City, Taiwan, R.O.C.
	代表人 (中文)	1. 呂理達
	代表人 (英文)	1. Lu, Teddy



四、中文發明摘要 (發明名稱：以多相位低頻訊號產生高頻訊號之方法及相關裝置)

本發明係提供一種根據多個低頻異相訊號產生一高頻輸出訊號之方法及相關裝置，以實現乘頻的功能。該方法係根據一鎖相迴路或一延遲鎖定迴路產生的複數個異相低頻輸出訊號來產生複數個低頻異相之參考訊號；而在該複數個參考訊號中，當訊號位準為高位準的訊號多於訊號位準為低位準的訊號時，使該輸出訊號之訊號位準為一第一位準；當訊號位準為高位準的訊號少於訊號位準為低位準之訊號時，使該輸出訊號之訊號位準為一相異之第二位準。這樣一來，該輸出訊號之頻率就會是該等輸入訊號頻率之倍數。

五、(一)、本案代表圖為圖七。

(二)、本案代表圖之符號簡單說明：

P0-P9

訊號

72A-72C 參考訊號

六、英文發明摘要 (發明名稱：Method and related apparatus for generating high frequency signals by a plurality of low frequency signals with multiple phases)

Method and related apparatus for realizing frequency-multiplication by generating a high frequency signal according to a plurality of low frequency signals. The method includes: according to a plurality output signals generated by a phase-locked loop (PLL) or a delay-locked loop (DLL), generating a plurality of reference signals with a same frequency and different



四、中文發明摘要 (發明名稱：以多相位低頻訊號產生高頻訊號之方法及相關裝置)

68A-68B	輸出訊號	73A-73C	波形集合
t1-t7	時點	T1、T2	週期

六、英文發明摘要 (發明名稱：Method and related apparatus for generating high frequency signals by a plurality of low frequency signals with multiple phases)

phases; when a number of the reference signals with signal level high is greater than a number of the reference signals with signal level low, making a signal level of the output signal remains a first level; otherwise, making the signal level of the output signal remains a second level substantially different from the first level. Thus the frequency of the output



四、中文發明摘要 (發明名稱：以多相位低頻訊號產生高頻訊號之方法及相關裝置)

六、英文發明摘要 (發明名稱：Method and related apparatus for generating high frequency signals by a plurality of low frequency signals with multiple phases)

signals is a multiplication of the frequency of the input signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種將低頻訊號乘頻後得到高頻訊號之方法及相關電路，尤指一種能根據鎖相迴路或延遲鎖定迴路產生之多相低頻輸入訊號產生倍頻高頻訊號之方法及相關電路。

先前技術

在現代化社會中，各種資料、數據、文件、資訊、影音訊息都能以電子形式的訊號加以快速、高效率地傳輸、整理、運算及儲存，所以各種用來處理電子訊號的電子電路（尤其是數位電子電路），也就成為現代資訊產業發展最重要的硬體基礎之一。在各種電子電路中，電子訊號常要配合一定的時脈才能加以處理、傳播、存取、解讀，而不同的電路構築方塊間也常以時脈來同步各電路方塊間的運作時序，故各種時脈的操作，像是時脈的產生、相異時脈間的不同步、時脈的相位改變與調整，以及在同步情況下以倍數方式增加或減少時脈的頻率，都是現代電子電路中常見的需求，也成為當前資訊電子業界研發的重點之一。

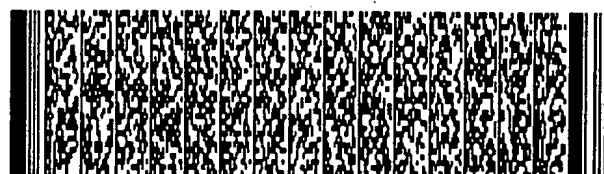
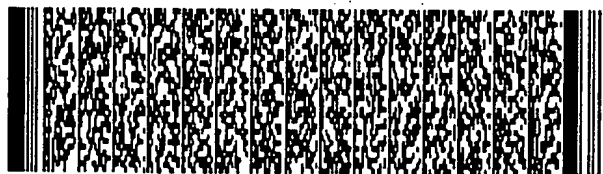
在各種用來進行時脈操作的電路中，鎖相迴路 (phase-locked loop, PLL) 以及 延遲鎖定迴路 (delay-



五、發明說明 (2)

locked loop, DLL)均是常用的電路構築方塊。請參考圖一。圖一為一典型鎖相迴路 10 的功能方塊示意圖。鎖相迴路 10 中設有一相位、頻率的偵測器 12、一充電電路 (charge pump) 14、一低通的濾波器 16、一壓控震盪器 20 及兩除頻器 18A、18B。偵測器 12 有兩輸入端，其可偵測兩輸入端輸入訊號於頻率、相位上的差異，並將偵測出的差異結果傳輸至充電電路 14；充電電路 14 配合上低通的濾波器 16 就可將偵測器 12 的偵測結果轉化為對應的電壓訊號。壓控震盪器 20 接收濾波器 16 輸出的電壓訊號後，就可產生一對應之時脈 24A，使得時脈 24A 的頻率對應於濾波器 16 輸出之電壓訊號的大小。1/Ka 之除頻器 18A 可將時脈 24A 除頻而產生時脈 26A，使得時脈 26A 的頻率 (週期之倒數) 為時脈 24A 頻率的 1/Ka；而時脈 26A 會回傳至偵測器 12 的一輸入端。同理，1/Kb 之除頻器 18B 可將時脈 24A 除頻為時脈 26B，使時脈 26B 之頻率為時脈 24A 頻率的 1/Kb；而時脈 26B 則會傳輸至偵測器 12 的另一輸入端。

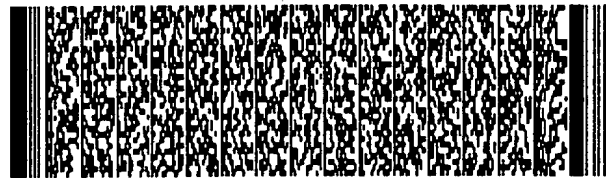
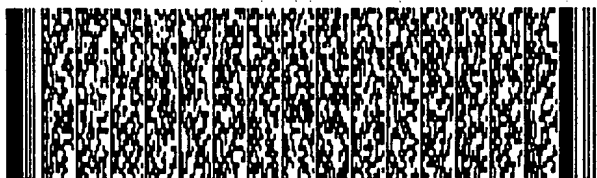
鎖相迴路 10 可利用時脈 24A 做為基準，產生出與時脈 24A 同步、具有固定頻率倍數比的時脈 24B。鎖相迴路 10 的運作原理可簡述如下。偵測器 12 會偵測時脈 26A、26B 兩者之間的頻率、相位差，此差異會經由充電電路 14、濾波器 16 轉化為電壓訊號，對應地控制壓控震盪器 20 調整時脈 24B 的頻率。時脈 24B 之頻率被調整後，連帶地時



五、發明說明 (3)

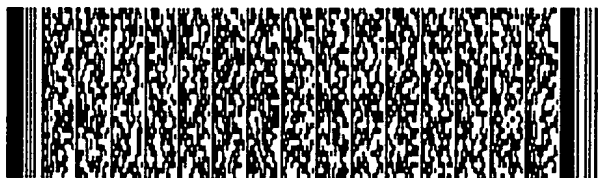
脈 26B 的頻率也會跟著改變；時脈 26B 和 26A 之間的頻率、相位差又會再度由偵測器 12 偵測，並透過充電電路 14、濾波器 16 對壓控震盪器 20 的控制，再次調整時脈 24B 的頻率。重複上述的流程，壓控震盪器 20 就會反覆地依據時脈 26A、26B 間的頻率、相位差調整時脈 24B 的頻率。等到時脈 26A、26B 間的頻率、相位差趨於零而同頻、同步時，鎖相迴路 10 就完成鎖相，壓控震盪器 20 也就會穩定輸出與時脈 26A 同頻、同步的時脈 26B；而時脈 26A、26B 兩者的頻率也就會被鎖定一致。由於時脈 26A、26B 分別是時脈 24A、24B 經過 $1/K_a$ 、 $1/K_b$ 除頻的結果，故時脈 24B 的頻率（週期之倒數）會是時脈 24A 頻率的 (K_b/K_a) 倍；也就是 $F_b = (K_b/K_a)F_a$ ，其中 F_a 、 F_b 分別為時脈 24A、24B 的頻率。

除了鎖相迴路 10 的典型配置外，圖一中也示意地繪出了壓控震盪器 20 的典型電路結構。壓控震盪器 20 可由複數個（圖一中繪出九個做為代表）差動緩衝器（differential buffer）22 串聯，如第一個差動緩衝器（圖一中最左方的反相器），其一輸入端（圖中標示為「+」）、一輸出端（標示為「-」）即分別電連於節點 Na0、Na5 之間；第二個差動緩衝器又電連於節點 Na5、Na11 之間，以此類推。最後一個差動緩衝器（圖一中最右方的差動緩衝器）電連於節點 Na4、Na9 之間，而節點 Na9 又和節點 Na0 電連，使得各差動緩衝器 22 連接為一環式震



五、發明說明 (4)

盪器 (ring oscillator)。由濾波器 16 輸出的電壓訊號，可改變各差動緩衝器 22 的延遲時間，進而改變時脈 24B 的週期。關於此情形，請繼續參考圖二（並一併參考圖一）。圖二為圖一中壓控震盪器 20 各節點訊號波形時序之示意圖；各波形之橫軸為時間，縱軸代表訊號的大小。而圖二中的波形 C0、C1、C2 等等至 C9，就代表圖一壓控震盪器 20 運作時，分別於節點 Na0、Na1、Na2 等等至 Na9 的訊號波形；圖二中標出的時段 Td1，就代表一差動緩衝器 22 所引入的延遲時間 (delay time)。舉例來說，波形 C0 在時點 tp0 由一低位準 L 升高至一高位準 H，而圖一中最左方的差動緩衝器就會在延遲一個時段 Td1 的時間後，於時點 tp1 將節點 Na5 的波形 C5 由高位準 H 拉低至反相的低位準 L。同理，當節點 Na5 的波形 C5 在時點 tp1 由位準 H 轉變為位準 L 後，就會觸發另一差動緩衝器，在時點 tp2（同樣是由時點 tp1 延遲時段 Td1）將節點 Na1 的波形 C1 由位準 L 拉高至位準 H。以此類推，各差動緩衝器會觸發次一差動緩衝器在延遲時段 Td1 後將其輸出訊號反相，而圖一中最右方的差動緩衝器就會在時點 tp3 將節點 Na9 的訊號由位準 H 轉變為位準 L，連帶地訊號 C0（其實也就是訊號 C9）也會再度改變位準；重複上述各差動緩衝器互相觸發的情形，就能使壓控震盪器 20 在各節點 Na0 至 Na9 之波形 C0 至 C9 均在位準 H、L 間交互震盪，並能於節點 Na9 輸出時脈 24B（也就是波形 C0、C9）。

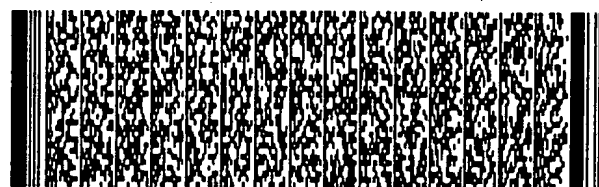
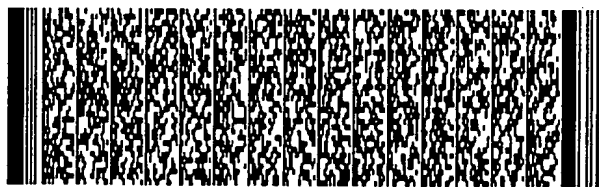


五、發明說明 (5)

由圖二中可看出，於各節點 Na0至 Na9的波形 C0至 C9皆具有之週期 T0，而週期 T0其實就是各差動緩衝器引入的延遲時段 Td1乘上差動緩衝器的個數（圖一、二中為九個差動緩衝器）再乘以 2；而濾波器 16輸出的電壓訊號即可改變各差動緩衝器 22延遲時段 Td1之時間長短，進而控制時脈 24B的頻率。由圖二中也觀察出來，各差動緩衝器 22互相觸發而引入的延遲時段，也形成了波形 C1至 C9（C0）間的相位差，使得波形 C1至 C9的相位差依序均勻分配於對應一週期 T0的 360度之中。

除了鎖相迴路之外，延遲鎖定迴路也是時脈操作中所見的電路構築方塊。請參考圖三。圖三為一典型延遲鎖定迴路 30配合兩時序電路 28A、28B運作時之功能方塊示意圖。延遲鎖定迴路 30中設有一偵測器 32、一充電電路 34、一低通的濾波器 36及一受控延遲電路（variable control delay line, VCDL）40。偵測器 32設有兩輸入端，以偵測此兩輸入端訊號相位間的差異；充電電路 34、濾波器 36能將偵測器 32偵測的結果轉換為電壓訊號，並傳輸至受控延遲電路 40。受控延遲電路 40接收一時脈 46A後，能依據濾波器 36傳來的電壓訊號，將時脈 46A延遲一特定的時段後，輸出為另一時脈 46B。

延遲鎖定迴路 30的功能是使時脈 46A、46B能同頻、同步而沒有任何相位差。在現代的電子電路（尤其是數



五、發明說明 (6)

位電子電路)，不同的電路方塊間常需要同步運作，故需以同步、無相位差（也就是升緣、降緣間無時間差）的時脈來同步觸發不同的電路方塊運作。像在圖三中，時序電路 28A、28B 就是兩個要同步觸發運作的電路方塊（舉例來說，時序電路 28A、28B 中可設有多個邏輯閘、^{Alc-Hob}正反器或狀態機^{state machine}等等）。為了要觸發、驅動不同的電路方塊，就要使時脈有適當的驅動力；但若僅以緩衝器（buffer）來增加時脈的驅動力，由於緩衝器會在時脈中引入延遲時間，經過緩衝器增加驅動力的時脈，就會和原本的時脈間有相當的時間差（相位差），使得原本的時脈和增加驅動力後的時脈無法同步觸發不同的電路方塊。此時就要以延遲鎖定迴路來產生兩個同步、無相位差的時脈，才能以這兩個時脈分別驅動兩個電路方塊同步運作。在圖二中，延遲鎖定迴路 30 就是要根據時脈 46A 產生另一個與之同步、無相位差的時脈 46B，以分別用時脈 46A、46B 來觸發需要同步運作的時序電路 28A、28B。延遲鎖定迴路 30 運作的原理可略述如下。偵測器 32 可偵測時脈 46A、46B 間的相位差，再由充電電路 34、濾波器 36 將相位差轉變為電壓訊號；接收到此電壓訊號，受控延遲電路 40 就會對應地調整時脈 46B 的時序。而偵測器 32 也會再度偵測時脈 46B 與時脈 46A 間的相位差，而受控延遲電路 40 也會依據充電電路 34、濾波器 36 的電壓訊號再調整時脈 46B 的時序。反覆進行上述的過程，受控延遲電路 40 就會逐漸調整時脈 46B 的時序，直到時脈 46A、46B 間

五、發明說明 (7)

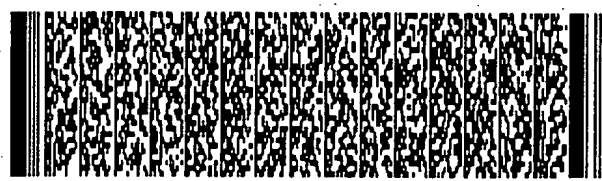
沒有相位差為止；此時時脈 46A、46B也就鎖定同步、無相位差了。

就如圖三所示，典型的受控延遲電路 40 中設有複數個緩衝器 42（圖三中繪出九個做為代表），各緩衝器互相串接，並能依據濾波器 36 輸出的電壓訊號，在其輸入端、輸入端的訊號間引入對應的延遲時間。舉例來說，在圖三中最左邊的緩衝器 42，其輸入端、輸出端分別電連於節點 Nb0、Nb1 之間，能在節點 Nb0、Nb1 的訊號間引入一定時段的延遲。請再度參考圖二（並一併參考圖三）。利用圖二中的波形 C0、C1 等等至 C9，也可說明受控延遲電路 40 於節點 Nb0、Nb1 等等至 Nb9 的訊號。圖三中最左邊的緩衝器 42 在節點 Nb0 接收波形 C0 的時脈 46A 後，會將其延遲一時段 Td2 的時間，於節點 Nb1 輸出波形 C1。同理，節點 Nb1 的訊號會由另一緩衝器引入另一時段 Td2 的延遲時間，於節點 Nb2 形成波形 C2。以此類推，而圖三中最右方的緩衝器 42 會在節點 Nb9 形成波形 C9 的輸出，也就是時脈 46B。就如圖二所示，當時脈 46A、46B 鎖定同步時，事實上就是使波形 C0、C9 間的相位差剛好相當於波形 C0 的一個週期 T0（或一個週期 T0 的整數倍）。此時波形 C0、C9 間的升緣、降緣就剛好對齊而無相位差。類似圖一中的壓控震盪器 20，當時脈 46A、48B 鎖定同步，在受控延遲電路 40 的各節點 Nb1 至 Nb9 中，訊號 C1 至 C9 也會具有特定的相位差，平均分佈於與一週期 T0 對應的 360



度中。

雖然圖一、圖三中習知的鎖相迴路、延遲鎖定迴路是常用的時脈操作構築方塊，但兩者均未能完全支援多樣化的時脈操作需求。首先，在鎖相迴路方面，如圖一及相關討論所示，鎖相迴路 10 根據時脈 24A 所產生的時脈 46B，兩者間可具有 $F_b = (K_b/K_a)F_a$ 之頻率倍數比關係（其中 F_a 、 F_b 分別為時脈 24A、24B 的頻率）。改變除頻器 18A、18B 的除頻比率 $1/K_a$ 、 $1/K_b$ ，理論上就可以根據時脈 24A 產生出不同頻率之時脈 24B。然而，在實際應用上，除頻器的除頻比率會影響鎖相迴路的穩定度；任意改變除頻器 18A、18B 的除頻比率，可能會使鎖相迴路 10 不穩定。尤其是除頻器 18B，其位於鎖相迴路的 回饋路徑 中，更容易影響鎖相迴路 10 的穩定度。在不同的電子電路中，因不同的運作需求，可能需要具有不同頻率倍數比（即上述之 K_b/K_a ）的鎖相迴路。就電路設計者的角度來說，當然希望同一種鎖相迴路之電路設計能普遍運用於不同的電子電路；只要改變除頻器的除頻比率，就能實現出不同頻率倍數比的鎖相迴路。然而，如前所述，任意改變除頻器的除頻比率，容易使鎖相迴路趨於不穩定、無法穩定收斂兩時脈間的相位差，導致鎖相的失。要以圖一中習知的架構來實現不同頻率倍數比的鎖相迴路，除了改變除頻器的除頻比率之外，往往還要一併改變其他電路的電路設計，像是要改變充電電路 14、



五、發明說明 (9)

濾波器 16、壓控震盪器 20 的細部參數設計，才能避免不穩定的情形發生。換句話說，習知鎖相迴路 10 的基本架構本身較缺乏設計上的彈性和裕度 (margin)，一旦要在不同需求的電子電路中實現出具有不同除頻比率的鎖相迴路，不僅要改變除頻器的除頻比率，還要更動鎖相迴路 10 中其他電路的相關設計。這樣一來，就要耗費許多的時間及資源在電路的重新設計、模擬、佈局、製造等方面，增加電子電路設計製造的時間及成本。

另外，在圖三中的習知延遲鎖定迴路 30，則完全沒有製造倍頻的功能，僅能維持時脈 46A、46B 於同頻、無相位差的同步狀況，無法根據時脈 46A 產生出頻率相異的時脈，其所能支援的時脈操作功能也就相對受限。

發明內容

因此，本發明的主要目的，在於提供一種能產生倍頻效果的倍頻電路及相關倍頻產生方法，在現行鎖相迴路或延遲鎖定迴路之電路架構下，由一時脈產生出另一頻率倍增之同步時脈。利用本發明的倍頻電路，就能增加鎖相迴路的設計彈性及裕度，使得同一鎖相迴路的電路設計能較為廣泛地用來實現不同的頻率倍數比。藉由本發明之乘頻電路，也能增加延遲鎖定電路的時脈操作功能，大幅增加延遲鎖定電路的應用層面。

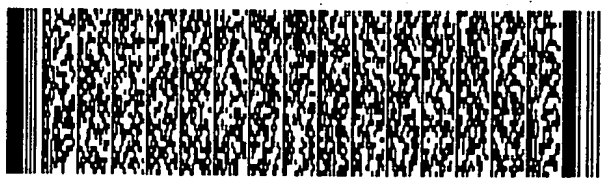


五、發明說明 (11)

利用本發明的乘頻電路及技術，就能將鎖相迴路產生出來的時脈再度倍頻；即使不改變鎖相迴路中除頻器的除頻比率（或只要進行小幅改變），就能實現出不同頻率倍數比的功能，增加鎖相迴路在電路設計上的彈性及裕度，使單一鎖相迴路之設計可用來實現不同的頻率倍數比，減少電路重新設計、製造的時間及資源浪費。另外，在延遲鎖定迴路中使用本發明的乘頻技術，就能讓延遲鎖定迴路具有倍頻的功能，擴增其在電子電路中的應用。

實施方式

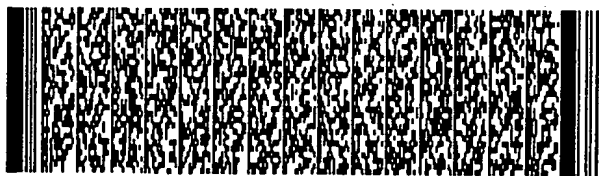
請參考圖四。圖四為本發明乘頻電路 70 於一訊號電路 48 中配合一典型鎖相迴路 50 共同運作時的配置示意圖。類似於圖一中鎖相迴路 10，鎖相迴路 50 中也設有一能偵測時脈 66A、66B 間頻率、相位差之偵測器 52、能將偵測器 52 之偵測結果轉化為電壓訊號的充電電路 54 及濾波電路 56、能依據電壓訊號調整時脈 64B 頻率、相位之壓控震盪器 60 以及兩個除頻比率分別為 $1/L_a$ 、 $1/L_b$ 之除頻器 58A、58B，分別用來將時脈 64A、64B 除頻為時脈 66A、66B。鎖相迴路 50 的運作原理與圖一中鎖相迴路 10 的運作原理相同，鎖相迴路 50 在完成鎖相後，就能使時脈 66A、66B 同步、同頻而無相位差，以依據頻率為 F_a 的時脈 64A 產生頻率 $F_b = (L_b/L_a)F_a$ 的時脈 64B。而本發明之乘頻電路



五、發明說明 (12)

70則能利用壓控震盪器 60各節點之時脈，產生出頻率為時脈 64B整數倍之輸出訊號 68B。也就是說，本發明之乘頻電路 70能使輸出訊號 68B的頻率 F_c 相當於一整數倍率 L_c 乘以時脈 64B的頻率 F_b （即 $F_c = L_c * F_b$ ）；加上鎖相迴路 50引入的倍頻比率 L_b/L_a ，輸出訊號 68B與時脈 64A的頻率關係就成為： $F_c = L_c * (L_b/L_a) * F_a$ 。換句話說，在加上了本發明的乘頻電路 70後，訊號電路 48就能根據時脈 64A，產生出頻率為其 $(L_c * L_b/L_a)$ 倍數的輸出訊號 68B。

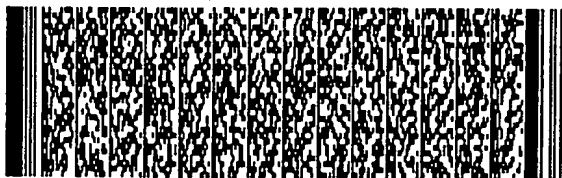
類似於圖一中的例子，在圖四的實施例中，壓控震盪器 60亦是以九個差動緩衝器 62串接為一環式震盪器結構；利用壓控震盪器 60在各節點的訊號，就可作為本發明乘頻電路 70的輸入訊號，以產生倍頻的輸出訊號 68B。在圖四的實施例中，乘頻電路 70即是利用壓控震盪器 60於節點 N_{c1} 、 N_{c4} 及 N_{c7} 的訊號 P_1 、 P_4 及 P_7 分別作為輸入訊號，以使乘頻電路 70能產生出頻率三倍於時脈 64B的三倍頻輸出訊號 68B（即 $L_c = 3$ ）。為進一步說明本發明乘頻電路 70的具體實施方法，請參考圖五及圖六（並一併參考圖四）。圖五為本發明乘頻電路 70一實施例的功能方塊示意圖；本發明的乘頻電路 70中設有一驅動模組 80及一反相器 74，驅動模組 80中則設有複數個驅動電路 76A至 76C。其中各驅動電路 76A至 76C的基本構造相同，而圖六即以驅動電路 76A為例，顯示本發明中驅動電路一實施例的電路示意圖。



五、發明說明 (13)

在圖五中，為了配合乘頻倍率為3的乘頻功能，乘頻電路70的驅動模組80中也設有三個驅動電路76A至76C，各驅動電路設有兩輸入端in1、in2及一控制端C，並設有一輸出端Op。而各驅動電路的輸出端Op則共同電連於節點Nel，相當於將節點Nel作為驅動模組80的輸出端，以向反相器74提供一輸出訊號68A。最後，反相器74的輸出，即為乘頻電路70的輸出訊號68B。就如圖五中的配置，要以三個同頻、異相的同步訊號P1、P4及P7組合出乘頻電路70的三倍頻乘頻功能，驅動模組80中的各驅動電路76A至76C即分別以訊號P1、P4及P7輸入至其控制端C，並以其他兩個訊號分別輸入至其輸入端in1、in2。像是驅動電路76A即以其兩輸入端in1、in2分別接收訊號P4、P7。在訊號P1、P4及P7的控制、觸發下，三個驅動電路76A、76B及76C於各自之輸出端Op充放電的傾向，就能分別由其輸出端Op之參考訊號72A、72B及72C來代表。

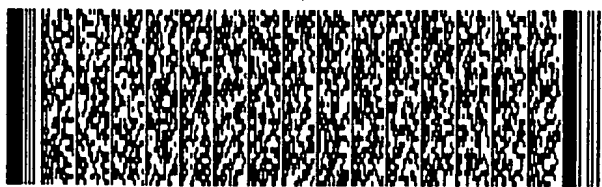
接下來，在圖六中即以驅動電路76A為例來說明各驅動電路的共同電路結構；配合圖五中各驅動電路所具有的一個控制端C，驅動電路76A中設有一p型金氧半電晶體84C、一n型金氧半電晶體82C，兩電晶體的閘極共同電連於輸入端C，而兩電晶體的渠極(drain)則共同電連於輸出端Op。配合兩個輸入端in1、in2，驅動電路76A中也分別設有p型金氧半電晶體84A、84B，及n型金氧半電晶體



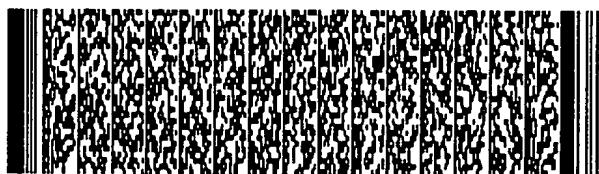
五、發明說明 (14)

82A、82B；電晶體 82A、84A 的閘極電連於輸入端 in1，兩電晶體之源極分別偏壓於地端直流電壓 G 及直流電壓 V。輸入端 in2 則電連至電晶體 82B、84B 的閘極，兩電晶體之源極同樣地分別偏壓於地端直流電壓 G 及直流電壓 V。

為了說明本發明乘頻電路 70 運作的原理，請繼續參考圖七（並一併參考圖四、圖五及圖六）。圖七中繪出了壓控震盪器 60、乘頻電路 70 運作時各相關訊號波形時序的示意圖；圖七中各波形的橫軸為時間，縱軸為波形的大小。在圖七中，訊號 P0、P1、P2 至訊號 P9 就是圖四中壓控震盪器 60 分別於節點 Nc0、Nc1、Nc2 至 Nc9 的訊號（訊號 P9 等效於訊號 P0，其實也就是時脈 64B，請見圖四）。就如圖一、圖二及相關討論中所描述過的，既然壓控震盪器 60 中設有九個差動緩衝器 62，訊號 P1 至 P9 不但皆具有相同的週期 T_1 ，且各訊號的相位差會平均分佈於 360 度的相位中；如訊號 P1 與訊號 P2 間有 40 度（ $360/9$ ）的相位差，以此類推；各訊號 P0 至 P9 之訊號位準則於高低位準 H、L 之間交互震盪。訊號 P1 至 P9 可視為壓控震盪器 60 所產生的初始訊號；而本發明於圖四的實施例中，即在訊號 P1 至 P9 中選出訊號 P1、P4 及 P7 的三個訊號，作為乘頻電路 70 的輸入訊號，以實現乘頻電路 70 的三倍頻功能。請注意訊號 P1、P4 及 P7 的相位差也平均分配於 360 度中，像訊號 P1 與 P4 之間有 120 度的相位差，訊號 P4、P7 間也有 120 度的相位差。



就如圖五中所示，在驅動模組 80 中，三個驅動電路 76A 至 76C 會以各自的控制端 C 分別接收訊號 P1、P4 及 P7 作為控制訊號，並以各驅動電路的接收端 in1、in2 接收其他兩個訊號作為觸發訊號；而各驅動電路 76A 至 76C 對各自輸出端 Op 充放電的傾向，即分別以參考訊號 72A、72B 及 72C 來代表。舉例來說，在圖七中，波形集合 73A 中的參考訊號 72A，就代表驅動電路 76A 在以訊號 P1 作為控制訊號、以訊號 P4、P7 作為觸發訊號時，對其輸出端 Op 充放電的傾向（訊號 P1 前標示的 (C)，代表訊號 P1 是由控制端 C 輸入的控制訊號）。以圖七中的波形對照圖六可看出，在時點 t1 至 t4 間，驅動電路 76A 控制端 C 的訊號 P1 維持於高位準 H（像是直流電壓 V 的位準），電晶體 82C 導通，電晶體 84C 則關閉，使得輸出端 Op 的電壓由電晶體 82A、82B 的開關與否來決定。在此期間內，由於訊號 P7 會先於時點 t1 及 t2 間維持於高位準 H，電晶體 82B 就會被導通，以將驅動電路 76A 之輸出端 Op 的電壓放電至地端的直流電壓 G；在圖七中，參考訊號 72A 於時點 t1 至 t2 的低位準，就代表驅動電路 76A 傾向將其輸出端 Op 的電壓拉低。在時點 t2 至 t3 之間，訊號 P4、P7 均維持於低位準 L，不改變輸出端 Op 的電壓，參考訊號 72A 等效上就被保持於低位準。到了時點 t3、t4 之間，訊號 P4 的高位準 H 又導通了電晶體 82A；而圖七中參考訊號 72A 在此期間內持續為低位準，就代表驅動電路 76A 會持續將其輸出端 Op 的電壓

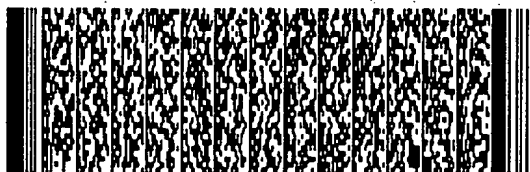


五、發明說明 (16)

向地端的直流電壓 G 放電。

相對地，在時點 t_4 至 t_7 之間，作為控制訊號的訊號 P_1 降低至低位準 H ，使電晶體 $84C$ 導通、電晶體 $82C$ 關閉；在此時段中，輸出端 O_p 的電壓就由電晶體 $84A$ 、 $84B$ 來主控。像在時點 t_4 至 t_5 間，訊號 P_7 的低位準 L 會導通電晶體 $84B$ ；而參考訊號 $72A$ 在此期間內的高位準，就代表驅動電路 $76A$ 傾向將其輸出端 O_p 的電壓拉高至直流電壓 V 的位準。在時點 t_5 至 t_6 之間，高位準 H 的訊號 P_4 、 P_7 會使電晶體 $84A$ 、 $84B$ 均關閉，維持其輸出端 O_p 的電壓不變。到了時點 t_6 、 t_7 之間，低位準 L 的訊號 P_4 導通了電晶體 $84A$ ；而參考訊號 $72A$ 在此期間內維持於高位準，就代表驅動電路 $76A$ 再度傾向於將其輸出端 O_p 的電壓充電至直流電壓 V 的電壓。

同理，如波形組合 $73C$ 所示，在控制端 C 受訊號 P_4 控制的驅動電路 $76C$ 中，參考訊號 $72C$ 在時點 t_1 至 t_3 、 t_6 至 t_7 間的高位準，即代表驅動電路 $76C$ 傾向於將其輸出端 O_p 的電壓充電至於直流電壓 V 的高位準；參考訊號 $72C$ 在時點 t_3 至 t_6 間的低位準，則代表驅動電路 $76B$ 在此期間內會傾向於將其輸出端 O_p 的電壓放電至地端直流電壓 G 的低位準。而由驅動電路 $76B$ 所對應的波形組合 $73B$ 可看出，驅動電路 $76B$ 在時點 t_2 至 t_5 間傾向於將其輸出端 O_p 的電壓充電至直流電壓 V 的高位準（故參考訊號 $72C$ 在此期間顯示

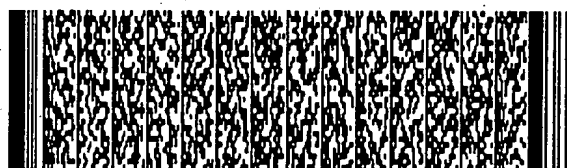
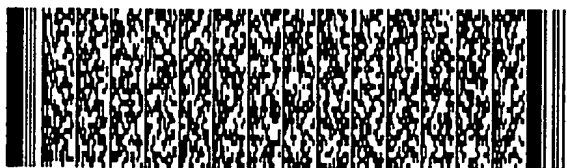


五、發明說明 (17)

為高位準)；而在時點 t_1 至 t_2 、 t_5 至 t_7 間，驅動電路 76B 則傾向於將輸出端 Op 的電壓放電至直流電壓 G 的低位準 (故參考訊號 72B 在這些時段中顯示為低位準)。由各參考訊號 72A 至 72C 可看出，由於訊號 P1、P4 及 P7 間的相位差，即使在同一時段內，不同的驅動電路 73A 至 73C 也會受觸發而做出充放電互異的動作。

由於各驅動電路 76A 至 76C 的輸出端 Op 均電連至節點 Nel (請見圖五)，各驅動電路 76A 至 76C 對其輸出端 Op 充電、放電的傾向，就決定了節點 Nel 的電壓。如圖七所示，集合各參考訊號 72A 至 72C 可看出，在時點 t_1 至 t_2 間，有兩個驅動電路 (驅動電路 76A、76B) 傾向於將節點 Nel 的電壓放電至地端直流電壓 G 的低位準，僅有一驅動電路 76C 傾向於將節點 Nel 的電壓充電至直流電壓 V 的高位準。故在此期間內，反相器 74 輸入端的訊號 68A 會趨近於低位準，觸發反相器 74 輸出高位準 H 的輸出訊號 68B (請一併參考圖五)。相對地，在時點 t_2 至 t_3 之間，驅動電路 76B、76C 均傾向於將節點 Nel 充電至直流電壓 V 的高位準，僅有一驅動電路 72A 傾向於將節點 Nel 放電，故節點 Nel 的電壓會傾向於直流電壓 V 的高位準，並觸發反相器 74 輸出低位準 L 的輸出訊號 68B。

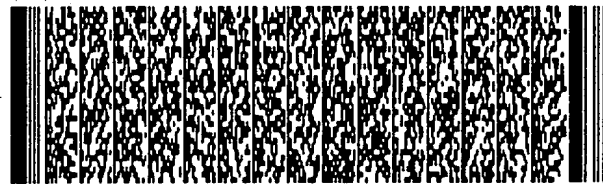
同理，在時點 t_1 至 t_7 的一個週期 T1 之時間內，在時點 t_4 至 t_5 、 t_6 至 t_7 間均有兩個驅動電路傾向於將節點 Nel



五、發明說明 (18)

的電壓充電至直流電壓 V 的高位準，故會觸發反相器 74 使輸出訊號 68B 為低位準 L 。時點 t_3 至 t_4 、 t_5 至 t_6 間均有兩個驅動電路傾向於將節點 N_{el} 的電壓放電至地端的直流電壓 G ，故會觸發反相器 74 將輸出訊號 68B 拉高至高位準 H 。由圖七中輸出訊號 68A、68B 的波形可看出，輸出訊號 68A、68B 的週期 T_2 就已經是週期 T_1 的三分之一了。換句話說，總結圖七中的各波形可知，不管是壓控震盪電路 60 中各節點的訊號 P_0 至 P_9 、各驅動電路 76A 至 76C 於參考訊號 72A 至 72C 所顯示的充放電傾向，都是以週期 T_1 為變化的基本週期；但在組合利用上述各訊號的相位差驅動各驅動電路 76A 至 76C 交錯地充放電後，本發明之乘頻電路 70 就能輸出三倍頻於週期 T_1 的輸出訊號 68B 了。

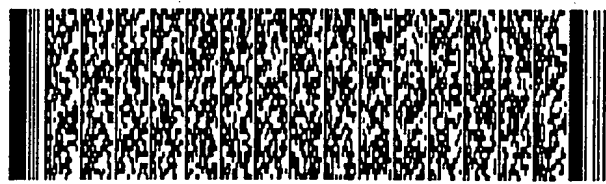
就如圖四及相關討論中曾提到的，本發明之乘頻電路 70 可以引入額外的乘頻比率 L_c ，配合鎖相迴路 50 原本的頻率，使得輸出訊號 68B 的頻率為時脈 64A 頻率的 $L_c * (L_b/L_a)$ 倍。就像上述於本發明圖四至圖七的實施例中所討論的，乘頻電路 70 額外引入了三倍頻的乘頻比率（即 $L_c=3$ ）。這樣一來，當要在不同的電子電路中實現出不同頻率倍數比的時脈操作電路時，就可以利用本發明之乘頻電路額外引入的乘頻比率，以便在不修改鎖相迴路及除頻器除頻比率的情形下，實現出不同頻率倍數比的時脈操作電路。如前所討論過的，若要以改變鎖相迴路中除頻器除頻比率的方法來實現不同的頻率倍數比，往往



五、發明說明 (19)

會干擾除頻迴路運作的穩定。但在本發明中，即使不改變除頻器的除頻比率，以乘頻電路引入的乘頻比率，也能實現出不同頻率倍數比的電子電路。由於本發明之乘頻電路並不位於鎖相迴路的閉迴圈中，並不會嚴重的干擾鎖相迴路的穩定性；如此一來，同樣的鎖相迴路的電路設計就能廣泛用來實現出不同的頻率倍數比，不必為了改變除頻器之除頻比率而重新設計鎖相迴路中的其他電路。雖然在某些情形下，可能還是要調整除頻器的除頻比率才能實現所需的頻率倍數比，但在本發明乘頻電路的輔助下，也就不需要大幅調整除頻器的除頻比率；即使不重新設計鎖相迴路中的其他電路，也能維持鎖相迴路運作的穩定。換句話說，本發明之乘頻技術將可增加鎖相迴路電路設計上的彈性及裕度。

除了運用在鎖相迴路中，本發明之乘頻技術也可運用於延遲鎖定迴路，發揮乘頻的效果。請參考圖八。圖八即為本發明之乘頻電路 110 於一訊號電路 88 中與一延遲鎖定迴路 90 協同運作的功能方塊示意圖。類似於圖三中延遲鎖定迴路的典型結構，圖八中的延遲鎖定迴路 90 中亦設有偵測時脈 104A、104B 相位差的偵測器 92、能將偵測器 92 之偵測結果轉變為電壓訊號的充電電路 94 及濾波 96、以及能依據電壓訊號調整時脈 104B 時相之受控延遲電路 100。延遲鎖相迴路 90 完成鎖定後，就能使時脈 104A、104B 同頻、同步而沒有相位差（或等效的，相位

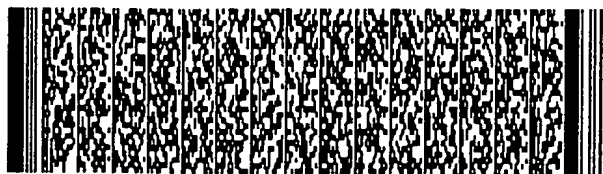


五、發明說明 (20)

差恰等於 360 度的整數倍)。在圖八的實施例中，受控延遲電路 100 設有二十五個緩衝器 102，各緩衝器的輸入、輸出依序電連於節點 N0 至 N25 之間，各緩衝器能依據濾波器 96 的電壓訊號，在其輸入、輸出訊號間引入對應的時相差，以調整時脈 104B 的時相。利用這二十五個的緩衝器 102 於各節點的訊號，本發明之乘頻電路 110 即可實現出五倍頻的功能；換句話說，乘頻電路 110 所產生出來的輸出訊號 301B，其頻率會是訊號 104A、104B 的五倍。

就如圖八中所示，在此實施例中，本發明的乘頻電路 110 要利用受控延遲電路 100 分別於節點 N1、N6、N11、N16 及 N21 所產生的五個訊號 W1、W6、W11、W16 及 W21，組合出乘頻電路 110 的乘頻功能。請繼續參考圖九、圖十。圖九為本發明乘頻電路 110 一實施例的功能方塊示意圖。乘頻電路 110 中設有一驅動模組 120 及一反相器 114。配合五個作為輸入訊號的訊號 W1、W21、W16、W11 及 W6，驅動模組 120 中也設有五個驅動電路 116A 至 116E。各驅動電路 116A 至 116E 分別設有四個輸入端 in1 至 in4、一控制端 C 及一輸出端 Op。驅動電路 116A 至 116E 的電路結構相同，而圖十即以驅動電路 116A 為例，顯示出各驅動電路 116A 至 116E 的功能方塊示意圖。

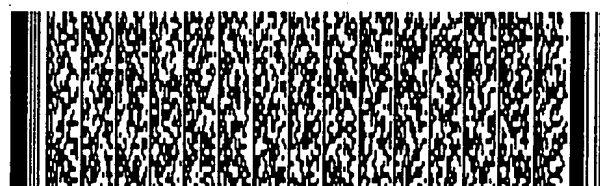
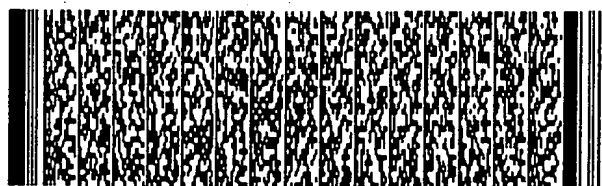
如圖九所示，各驅動電路 116A 至 116E 之控制端 C 分別接收訊號 W1、W21、W16、W11 及 W6 作為控制訊號，而輸入



五、發明說明 (21)

端 in1至 in4則接收其他四個訊號作為觸發訊號；驅動電路 116A至 116E之輸出端 Op共同電連於節點 Ne2。依據觸發訊號、控制訊號的控制，驅動電路 116A至 116E在各自輸出端 Op的參考訊號 201、211、216、221及 206，就分別代表驅動電路 116A至 116E對節點 Ne2充電或放電的傾向。綜合各驅動電路 116A至 116E對節點 Ne2充放電的總效應就形成了輸出訊號 301A，並觸發反相器 114產生輸出訊號 301B。而如圖十所示，各驅動電路 116A至 116E中分別設有五個 p型電晶體 124A至 124E，以及五個 n型電晶體 122A至 122E；各電晶體 122A至 122E、124A至 124E之閘極則分別受輸入端 in1至 in4及控制端 C的訊號控制。電晶體 122E、124E的渠極 (drain)則形成驅動電路的輸出端 Op。

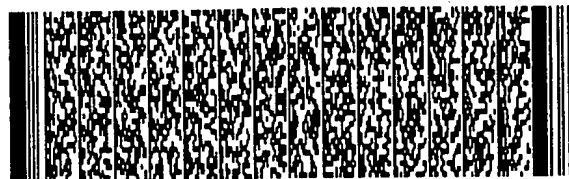
為描述圖八中本發明乘頻電路 110實現五倍頻的原理，請參考圖十一（並一併參考圖八至圖十）。圖十一為本發明乘頻電路 110運作期間，各相關訊號的波形時序示意圖；各波形訊號的橫軸為時間，縱軸代表各訊號的大小。其中，訊號 W0至 W25即為圖八中受控延遲電路 100分別於各節點 N0至 N25的訊號；當延遲鎖定迴路 90完成鎖定後，節點 N25的訊號 W25（也就是時脈 104B）就會和節點 N0的訊號 W0（也就是時脈 104A）同步、同頻（皆具有週期 T3）且無相位差。訊號 W1至 W25可當作是初始訊號，而本發明於圖八中的實施例，即是由這些初始訊號中選出相位差平均分佈於 360度的五個訊號 W1、W6、W11、W16



五、發明說明 (22)

及 W21，以實現乘頻電路 110 的乘頻功能。由圖十可看出，驅動電路 116A 的運作原理和圖六中的驅動電路 76A 大致相同。舉例來說，如圖十一所示，在驅動電路 116A 中，作為控制訊號的訊號 W1 在時點 t_{a1} 至 t_{a6} 之間為高位準 H，讓電晶體 122E 導通，電晶體 124E 關閉；而在同一期間內，於輸入端 in2、in3、in4 及 in1 輸入作為觸發訊號的訊號 W6、W11、W16 及 W21 則分別於時點 t_{a3} 至 t_{a6} 、時點 t_{a5} 至 t_{a6} 、時點 t_{a1} 至 t_{a2} 、時點 t_{a1} 至 t_{a4} 之間以高位準 H 將電晶體 122A 至 122D 導通，使驅動電路 116A 在時點 t_{a1} 至 t_{a6} 之間傾向於將節點 Ne2 的電壓放電至低位準的直流電壓 G。而在時點 t_{a1} 至 t_{a6} 間，於驅動電路 116A 輸出端 Op 的參考訊號 201，即以低位準來代表驅動電路 116A 在此期間內拉低節點 Ne2 電壓的傾向。相對地，在時點 t_{a6} 至 t_{a11} 之間，低位準 L 的訊號 W1 將電晶體 124E 導通、電晶體 122E 關閉，而訊號 W6、W11、W16 及 W21 分別於時點 t_{a6} 至 t_{a8} 、 t_{a6} 至 t_{a10} 、 t_{a7} 至 t_{a11} 以及 t_{a9} 至 t_{a11} 之間將電晶體 124A 至 124D 導通，使驅動電路 116A 在時點 t_{a6} 至 t_{a11} 之間傾向於將節點 Ne2 的電壓拉高至高位準的直流電壓 V；而參考訊號 201 在此期間內的高位準，即代表驅動電路 116A 在此期間內向節點 Ne2 充電的傾向。

依據相同的運作原理，驅動電路 116B 至 116E 對節點 Ne2 充放電的傾向，也就分別以參考訊號 206、211、216 及 221 中的高低位準來代表。綜合驅動電路 116A 至 116E 於



五、發明說明 (23)

參考訊號 201、211、216、221及 206中顯示的充放電傾向，就可判斷節點 Ne2 的電壓位準高低，並得出輸出訊號 301A、301B 的波形。舉例來說，由時點 ta1 至 ta11 延續一週期 T3 的期間內，在時點 ta1 至 ta2、ta3 至 ta4、ta5 至 ta6、ta7 至 ta8 以及 ta9 至 ta10 間，在五個驅動電路 116A 至 116E 中，會有三個驅動電路傾向將節點 Ne2 放電，僅有兩個驅動電路傾向將節點 Ne2 充電，故在這些時段內，節點 Ne2 的輸出訊號 301A 會傾向於低位準，並觸發反相器 114 輸出高位準 H 的輸出訊號 301B。相對地，在時點 ta2 至 ta3、ta4 至 ta5、ta6 至 ta7、ta8 至 ta9 以及 ta10 至 ta11 之間，五個驅動電路中有三個傾向將節點 Ne2 的電壓充電拉高，只有兩個傾向於將節點 Ne2 的電壓放電降低，故節點 Ne2 的輸出訊號 301A 在這些時段內也會趨於高位準，並觸發反相器 114 在這些時段內輸出低位準 L 的輸出訊號 301B。由圖十一中即可明顯看出，輸出訊號 301B 的週期 T4 為週期 T3 的五分之一，實現了本發明乘頻電路 110 五倍頻的乘頻功能。

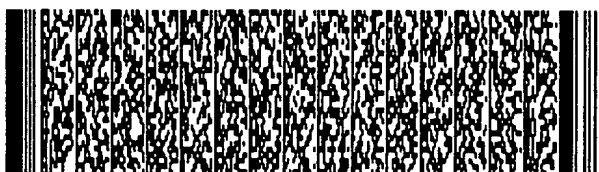
由上述討論可知，本發明之乘頻電路在與延遲鎖定電路搭配運用後，即能擴充延遲鎖定電路的時脈操作功能，讓圖八中的訊號電路 88 不僅能根據時脈 104A 產生出同頻、同步、無相位差的時脈 104B，還能以本發明之乘頻電路 110 產生出頻率五倍於時脈 104A 的輸出訊號 301B。



五、發明說明 (24)

在圖八、圖九的實施例中，是以受控延遲電路 100 於節點 N1、N6、N11、N16 及 N21 的訊號 W1、W6、W11、W16 及 W21，來實現本發明的五倍頻功能。當然，在訊號 W1 至 W25 之中，還是可選用其他的訊號來實現本發明之精神。關於此情形，請參考圖十二。圖十二的波形時序圖中示意的是當圖八中乘頻電路 110 以不同訊號作為輸入訊號時，代表各驅動電路充放電傾向的參考訊號，以及節點 Ne2 所能產生出來的輸出訊號。當乘頻電路 110 以訊號 W1、W6、W11、W16 及 W21 作為輸入訊號時，分別以訊號 W1、W6、W11、W16 及 W21 當做控制端 C 控制訊號的各驅動電路 116A 至 116E，其充放電的傾向即可用參考訊號 201、206、211、216 及 221 來代表；綜合各驅動電路於節點 Ne2 的充放電傾向，節點 Ne2 的電壓變化波形則能以輸出訊號 301A 來表示，就如圖八至圖十一所說明的。同樣地，若乘頻電路 110 改以訊號 W2、W7、W12、W17 及 W22 來當做輸入訊號並分別當做驅動電路 116A 至 116E 的控制訊號，則各驅動電路 116A 至 116E 對節點 Ne2 充放電的傾向，就如圖十二中的參考訊號 202、207、212、217 及 222 所示；連帶地，各驅動電路在節點 Ne2 所造成的總體電壓的波形變化，就像圖十二中的輸出訊號 302A 所示。

以此類推，當乘頻電路 110 分別以訊號 (W3、W8、W13、W18、W23)，(W4、W9、W14、W19、W24) 以及 (W5、W10、W15、W20、W25) 作為輸入訊號並控制驅動電



五、發明說明 (25)

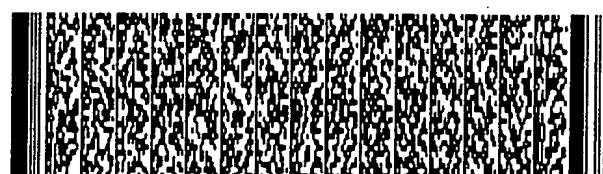
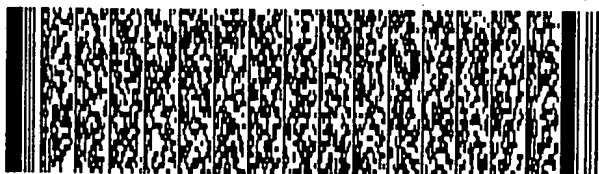
路 116A至 116E的控制端 C時，各驅動電路 116A至 116E對節點 Ne2充放電的傾向就分別如圖十二中之參考訊號

(203、208、213、218、223) 、 (204、209、214、219、224) 及 (204、209、214、219、224) 所示，而在節點 Ne2所造成的電壓波形變化，就可分別以輸出訊號

303A、304A及 305A來代表。由圖十二可看出，對本發明的乘頻電路 110來說，只要利用五個相位平均分佈於 360 度的訊號作為輸入訊號，就能實現出五倍頻的功能；就像圖十二中的輸出訊號 301A至 305A所示，這些訊號的週期 T4同樣都是延遲鎖相迴路中各訊號週期 T3的五分之

。另外，由圖十二中也可看出，以不同的五個訊號作為輸入訊號，輸出訊號 301A至 305A之間也會有相位差；而訊號 301A至 305A間的相位差也平均分配於對應週期 T4 的 360度中。換句話說，只要在各訊號 W1至 W25中選出適當的訊號作為乘頻電路 110的輸入訊號，就能使乘頻電路 110產生具有特定相位的五倍頻輸出訊號。當然，乘頻電路 110中也可設置其他的驅動模組，各驅動模組以不同的訊號作為輸入訊號，就能以不同的驅動模組產生不同相位的五倍頻輸出訊號。

總結來說，本發明之乘頻技術可利用 M個同頻、相位平均分佈於 360度中的訊號來實現 M倍的乘頻功能。請參考圖十三及圖十四。圖十三即為本發明另一乘頻電路 400 以 M個訊號 S(1)、S(2)至 S(M)來實現 M倍乘頻功能的示意



五、發明說明 (26)

圖。配合這 M 個訊號，乘頻電路 400 中也設有 M 個驅動電路 $DC(1)$ 、 $DC(2)$ 至 $DC(M)$ ，形成驅動模組 410，並配合一反相器 144 來產生一輸出訊號 401B。而圖十四即為各驅動模組 $DC(m)$ 的電路結構示意圖。

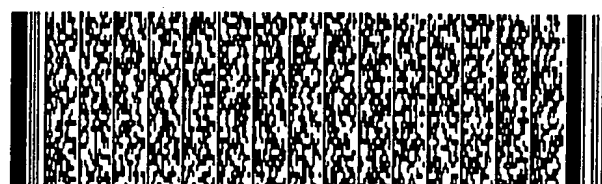
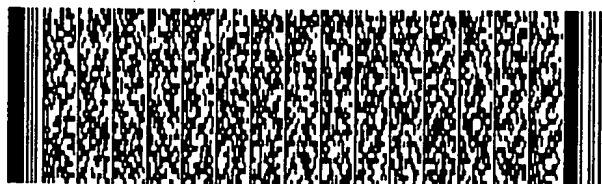
如圖十三所示，各驅動電路 $DC(m)$ 設有 $(M-1)$ 個輸入端 $in(1)$ 、 $in(2)$ 至 $in(M-1)$ 及一控制端 C ，並設有一輸出端 Op ；而各驅動電路 $DC(m)$ 的輸出端 Op 即共同電連於節點 Ne ，做為驅動模組 410 的輸出端。配合 M 個輸入訊號 $S(1)$ - $S(M)$ ，在各驅動電路 $DC(m)$ 中是以控制端接收訊號 $S(m)$ 做為控制訊號（對 m 等於 1、2... 或 M ），其他的 $(M-1)$ 個輸入訊號則由其他輸入端 $in(1)$ 至 $in(M-1)$ 輸入。而由圖十四可知，每一驅動電路 $DC(m)$ 中設有 M 個 p 型金氧半電晶體 $QP(1)$ 至 $QP(M)$ 、 M 個 n 型金氧半電晶體 $QN(1)$ 至 $QN(M)$ 。電晶體 $QP(1)$ 至 $QP(M-1)$ 的源極偏壓於高位準的直流電壓 V ，電晶體 $QN(1)$ 至 $QN(M-1)$ 的源極偏壓於低位準的地端直流電壓 G 。類似於圖六、圖十中驅動電路的運作模式，驅動電路 $DC(m)$ 在控制端 C 之控制訊號 $S(m)$ 為高位準時，會導通電晶體 $QN(M)$ 、關閉電晶體 $QP(M)$ ，而輸入端 $in(1)$ 至 $in(M-1)$ 的輸入訊號會次第以高位準來導通各電晶體 $QN(1)$ 至 $QN(M-1)$ ，讓驅動電路 $DC(m)$ 傾向於將其輸出端 Op 之電壓放電至低位準。當控制端 C 之控制訊號 $S(m)$ 為低位準時，電晶體 $QN(M)$ 關閉、 $QP(M)$ 導通，而輸入端 $in(1)$ 至 $in(M-1)$ 的輸入訊號會次第以低位準來導通電晶體 $QP(1)$ 至



五、發明說明 (27)

QP(M-1)，讓驅動電路 DC(m)傾向於將其輸出端 Op 充電至高位準的直流電壓 V。如圖十三的配置所示，由於各驅動電路 DC(1)至 DC(M)控制端 C 之訊號 S(1)至 S(M)均有不同的相位，也會驅使各驅動電路在不同的時間，對節點 Ne 作充放電各異的動作。綜合各驅動電路 DC(1)至 DC(M)對節點 Ne 的充放電傾向，就能觸發反相器 144 輸出 M 倍頻於各訊號 S(1)至 S(M)的輸出訊號 401B。在本發明的較佳實施例中，可以用奇數個輸入訊號 S(1)至 S(M)（也就是 M 為奇數）來分別控制奇數個驅動電路 DC(1)至 DC(M)；利用奇數個相位平均分佈於 360 度的輸入訊號 S(1)至 S(M)，在同一時間中傾向充電的驅動電路個數與傾向放電的驅動電路之個數必定不會相等，這樣就能組合出 M 倍頻變化的波形做為輸出訊號 401B。

就如本發明於圖四、圖八的兩個實施例，要產生出 M 個相位平均分配於 360 度的訊號 S(1)至 S(M)來實現本發明乘頻電路 400 的乘頻功能，可利用鎖相迴路或鎖定延遲迴路中原本就會產生出來的同頻異相訊號。舉例來說，若鎖相迴路中的壓控震盪器或是鎖定延遲電路中的受控延遲電路設有 $M \times M$ 個差動緩衝器或緩衝器，由各差動緩衝器、緩衝器的輸出端就可取出 N ($N = M \times M$) 個訊號 W(1)到 W(N)做為初始訊號。由前面的討論可知，訊號 W(1)至 W(N)之相位會平均分配於 360 度中，也就是說，第 n 個訊號 W(n)與第一個訊號 W(1)之間的相位差等於 $(360 \times (n -$

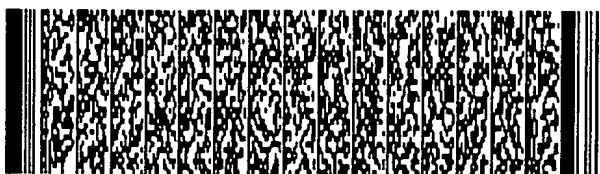


五、發明說明 (28)

1)/N) 度 (對 $n=1, 2\cdots$ 或 N)。對 $m=1, 2\cdots$ 或 M , 取訊號 $W(m0+(m-1)*M)$ 作為訊號 $S(m)$, 就可以形成 $S(1)$ 到 $S(M)$ 、共 M 個同頻、相位平均分佈的訊號來實現本發明於圖十三中的乘頻電路 400 (其中 $m0$ 為一常數, 可以是 1、2... 或 M)。

在習知技術中, 習知的鎖相迴路結構缺乏設計上的彈性及裕度, 要實現出不同頻率倍數比的鎖相迴路, 常要重新設計整個鎖相迴路, 浪費電路設計、生產的時間及資源; 而習知的延遲鎖定電路則僅能支援有限的時脈操作功能。相較之下, 在鎖相迴路或延遲鎖定迴路中引入本發明之乘頻電路後, 就能增加乘頻的功能, 擴充延遲鎖定迴路的時脈操作功能, 並大幅增強鎖相迴路的設計彈性及裕度, 減少電路設計、製造的成本及資源。在以 0.18mm 之製程來將本發明於圖八之五倍頻電路實際實施於半導體電路中時, 其佈局 (layout) 的面積大約為 31.5mm*23.5mm, 相較於鎖相迴路或延遲鎖定迴路典型的 500mm*500mm 佈局面積, 本發明乘頻電路所佔的面積極小, 卻能在鎖相迴路或延遲鎖定迴路中引入相當大的功能改進, 足證本發明之優點。

以上所述僅為本發明之較佳實施例, 凡依本發明申請專利範圍所做之均等變化與修飾, 皆應屬本發明專利之涵蓋範圍。

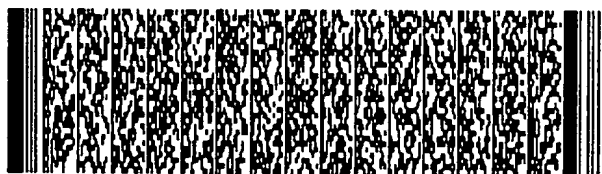


五、發明說明 (29)

圖式簡單說明

圖式之簡單說明

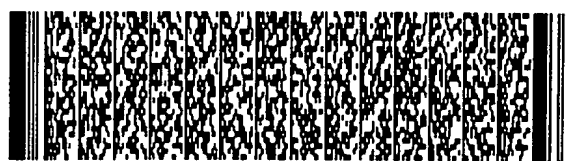
圖一為一習知鎖相迴路之功能方塊示意圖。
圖二為圖一中壓控震盪器於運作時各節點之訊號的
時序示意圖。
圖三為一習知延遲鎖定迴路之功能方塊示意圖。
圖四為本發明乘頻電路與一鎖相迴路共同配置的功
能方塊示意圖。
圖五為圖四中乘頻電路進一步之功能方塊示意圖。
圖六為圖五中驅動電路之電路結構示意圖。
圖七為圖四中電路運作時相關訊號波形時序之示意
圖。
圖八為本發明的乘頻電路於另一實施例中與一延遲鎖
定迴路共同配置的功能方塊示意圖。
圖九為圖八中乘頻電路之功能方塊示意圖。
圖十為圖九中驅動電路之電路結構示意圖。
圖十一為圖八中電路運作時相關訊號波形時序之示
意圖。
圖十二為圖八中電路以不同訊號實施倍頻功能時各
相關訊號之波形時序圖。
圖十三為本發明乘頻電路另一實施例之功能方塊示
意圖。
圖十四為圖十三中驅動電路之電路結構的示意圖。



圖式簡單說明

圖式之符號說明

10、50	鎖相迴路	
12、32、52、92	偵測器	
14、34、54、94	充電電路	
16、36、56、96	濾波器	
18A-18B、58A-58B	除頻器	
20、60	壓控震盪器	22、62 差動緩衝器
74、114、144	反相器	
24A-24B、26A-26B、46A-46B、64A-64B、66A-66B、104A-104B	時脈	28A-28B 時序電路
30、90	延遲鎖定迴路	40、100 受控延遲電路
42、102	緩衝器	48、88 訊號電路
68A-68B、301A-301B、302A-305A、202A-202B、401B	輸出訊號	70、110、400 乘頻電路
72A-72C、201-225	參考訊號	
73A-73C	波形集合	
76A-76C、116、DC(1)-DC(M)	驅動電路	
80、120、410	驅動模組	
82A-82C、84A-84C、122A-122E、124A-124E	電晶體	
106A-106E、P0-P9、W0-W25	訊號	
V、G	直流電壓	T0-T4 週期
C0-C9	波形	Td1、Td2 時段
C	控制端	H、L 位準



圖式簡單說明

Na0-Na9、Nb0-Nb9、Nc0-Nc9、Ne1-Ne2、N0-N25、

Ne 節點

in1-in4、in(1)-in(M-1) 輸入端

tp0-tp1、t1-t7、ta1-ta11時點



六、申請專利範圍

1. 一種以複數個低頻參考訊號產生一高頻之輸出訊號的方法，該方法包含有：

接收複數個參考訊號，其中各參考訊號的週期相同，各參考訊號間具有預設之相位差，且每一參考訊號在每一週期中，其訊號之位準會於一高位準及一低位準之間變化；以及

在該複數個參考訊號中，當訊號位準為高位準之參考訊號的個數大於訊號位準為低位準之參考訊號之個數時，使該輸出訊號之訊號位準為一第一位準；當訊號位準為低位準之參考訊號的個數大於訊號位準為高位準之參考訊號之個數時，使該輸出訊號之訊號位準為一第二位準，且該第一位準與該第二位準係實質相異。

2. 如申請專利範圍第1項之方法，其中該複數個參考訊號之相位，係平均分佈於與一週期對應的相位中。

3. 如申請專利範圍第1項之方法，其中係以奇數個低頻參考訊號來產生該輸出訊號。

4. 如申請專利範圍第1項之方法，其另包含有：

進行一訊號產生步驟，以利用複數個輸入訊號產生該複數個參考訊號；該訊號產生步驟包含有：

要產生一參考訊號時，於該複數個輸入訊號中以一輸入訊號作為一控制訊號，並以其他的輸入訊號作為觸發訊



六、申請專利範圍

號；當該控制訊號由低位準轉變為高位準後，若該等觸發訊號中有一觸發訊號為高位準，則使該參考訊號維持於低位準；當該控制訊號由高位準轉變為低位準後，若該等觸發訊號中有一觸發訊號為低位準，則使該參考訊號維持於高位準。

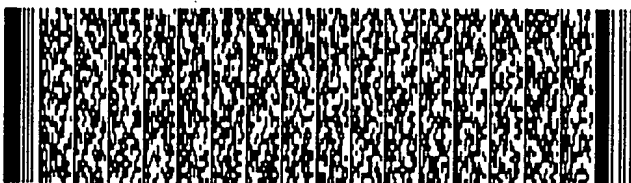
5. 如申請專利範圍第4項之方法，其中該訊號產生步驟另包含有：於該複數個輸入訊號中，以不同的輸入訊號作為控制訊號以產生不同的參考訊號。

(如申請專利範圍第4項之方法，其中該複數個輸入訊號具有相同的週期，各輸入訊號間具有預設之相位差。

7. 如申請專利範圍第6項之方法，其中該等輸入訊號之相位差係平均分佈於與一週期對應之相位中。

8. 如申請專利範圍第4項之方法，其另包含有：產生複數個初始訊號，使得各初始訊號具有相同的週期，且各初始訊號間具有預設之相位差；以及由該等初始訊號中，選出複數個初始訊號作為該等輸入訊號。

9. 如申請專利範圍第8項之方法，其中該等初始訊號的個數，為該等輸入訊號個數的平方。



六、申請專利範圍

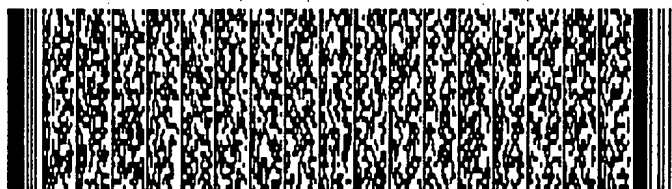
10. 如申請專利範圍第8項之方法，其中該等初始訊號的相位係平均分佈於對應於一週期之相位中。

11. 如申請專利範圍第4項之方法，其中在進行該訊號產生步驟時，係使該等參考訊號之週期與該等控制訊號之週期相等。

12. 如申請專利範圍第4項之方法，其另包含有：
以一鎖相迴路 (phase-locked loop, PLL) 產生該複數個輸入訊號。

13. 如申請專利範圍第4項之方法，其另包含有：
以一延遲鎖定迴路 (delay-locked loop, DLL) 產生該複數個輸入訊號。

14. 一訊號電路，其包含有：
一乘頻電路，用來根據複數個低頻參考訊號提供一高頻之輸出訊號；該乘頻電路包含有：
一驅動模組，用來以複數個參考訊號產生該輸出訊號，其中各參考訊號的週期相同，各參考訊號間具有預設之相位差，且每一參考訊號在每一週期中，其訊號之位準會於一高位準及一低位準之間變化；而在該複數個參考訊號中，當訊號位準為高位準之參考訊號的個數大



六、申請專利範圍

於訊號位準為低位準之參考訊號之個數時，該驅動模組會使該輸出訊號之訊號位準為一第一位準；而當訊號位準為低位準之參考訊號的個數大於訊號位準為高位準之參考訊號之個數時，該驅動模組會使該輸出訊號之訊號位準為一第二位準，且該第一位準與該第二位準係實質相異；以及

一輸出端，電連於該驅動模組，用來輸出該輸出訊號。

15. 如申請專利範圍第14項之訊號電路，其中該複數個參考訊號之相位，係平均分佈於與一週期對應的相位。

16. 如申請專利範圍第14項之訊號電路，其中該驅動模組係以奇數個低頻參考訊號來產生該輸出訊號。

17. 如申請專利範圍第14項之訊號電路，其中該驅動模組另包含有：

複數個驅動電路，各驅動電路對應於一參考訊號；每一驅動電路可根據複數個輸入訊號產生對應之參考訊號；

而每一驅動電路包含有：

複數個輸入端，每一輸入端用來接收一對應之輸入訊號做為一觸發訊號；以及

一控制端，用來在該複數個輸入訊號中接收一輸入訊號作為一控制訊號；當該控制訊號由低位準轉變為高位準



六、申請專利範圍

後，若該等觸發訊號中有一觸發訊號為高位準，則該驅動電路會使該參考訊號維持於低位準；當該控制訊號由高位準轉變為低位準後，若該等觸發訊號中有一觸發訊號為低位準，則該驅動電路會使該參考訊號維持於高位準。

18. 如申請專利範圍第 17 項之訊號電路，其中不同之驅動電路係接收不同的輸入訊號作為控制訊號以產生不同的參考訊號。

19. 如申請專利範圍第 17 項之訊號電路，其中該複數個輸入訊號具有相同的週期，各輸入訊號間具有預設之相位差。

20. 如申請專利範圍第 19 項之訊號電路，其中該等輸入訊號之相位差係平均分佈於對應於一週期的相位中。

21. 如申請專利範圍第 17 項之訊號電路，其另包含有：一鎖相迴路或一延遲鎖定位迴路，用來產生複數個初始訊號，使得各初始訊號具有相同的週期，且各初始訊號間具有預設之相位差；而該等驅動電路係於該等初始訊號中接收複數個初始訊號作為該等輸入訊號。

22. 如申請專利範圍第 21 項之訊號電路，其中該等初始



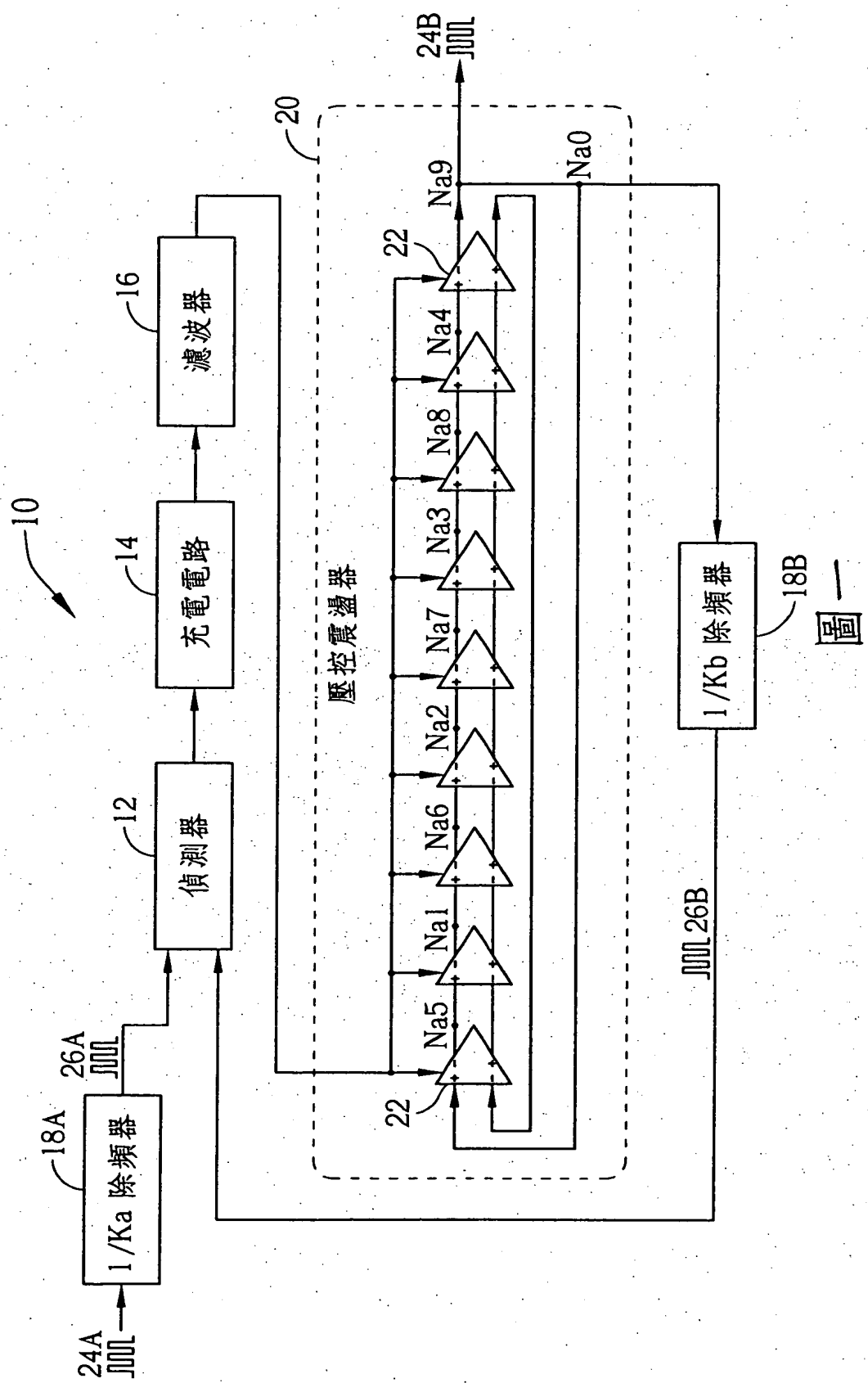
六、申請專利範圍

訊號的個數，為該等輸入訊號個數的平方。

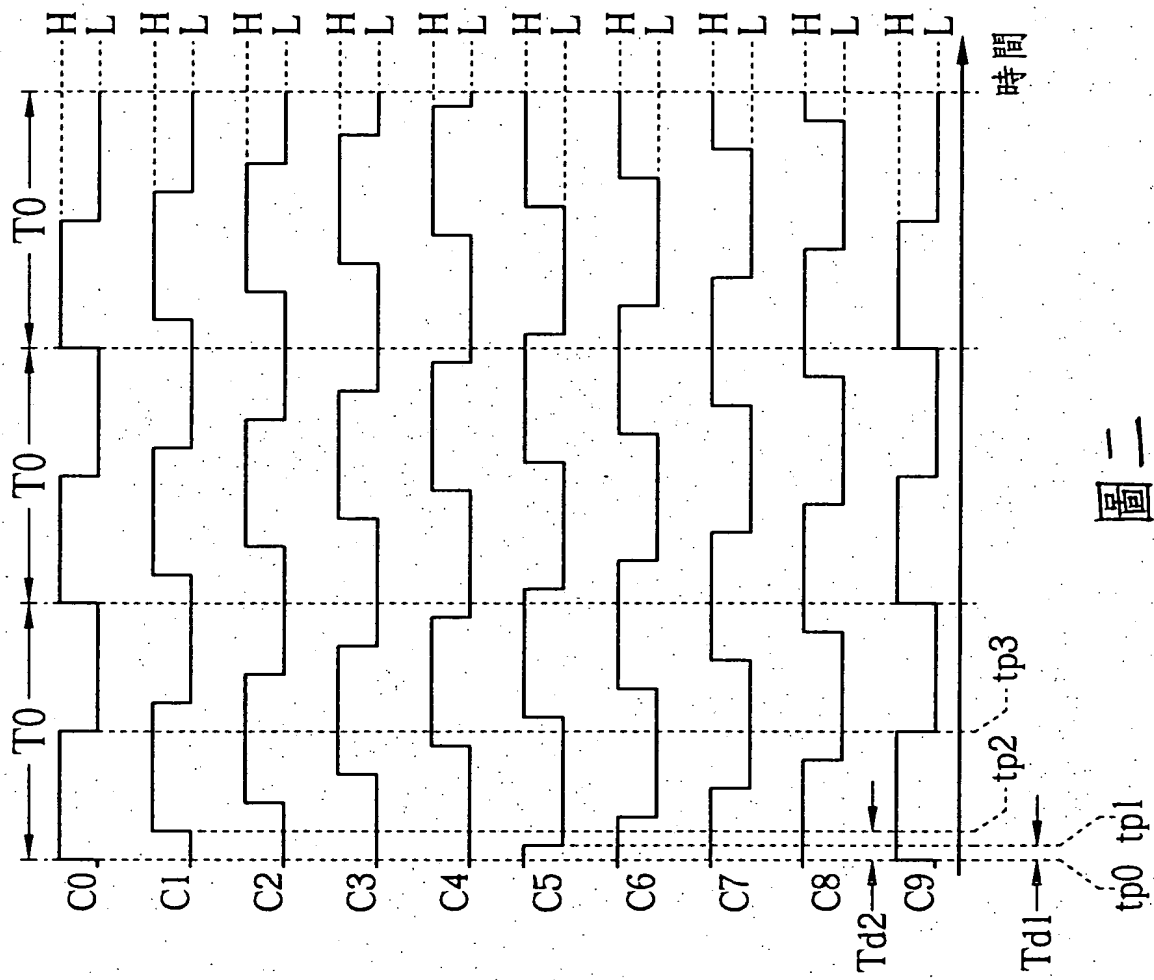
23. 如申請專利範圍第 21 項之訊號電路，其中該等初始訊號的相位係平均分佈於與一週期對應之相位中。

24. 如申請專利範圍第 17 項之訊號電路，其中每一驅動電路係使對應參考訊號的週期與對應控制訊號之週期相等。

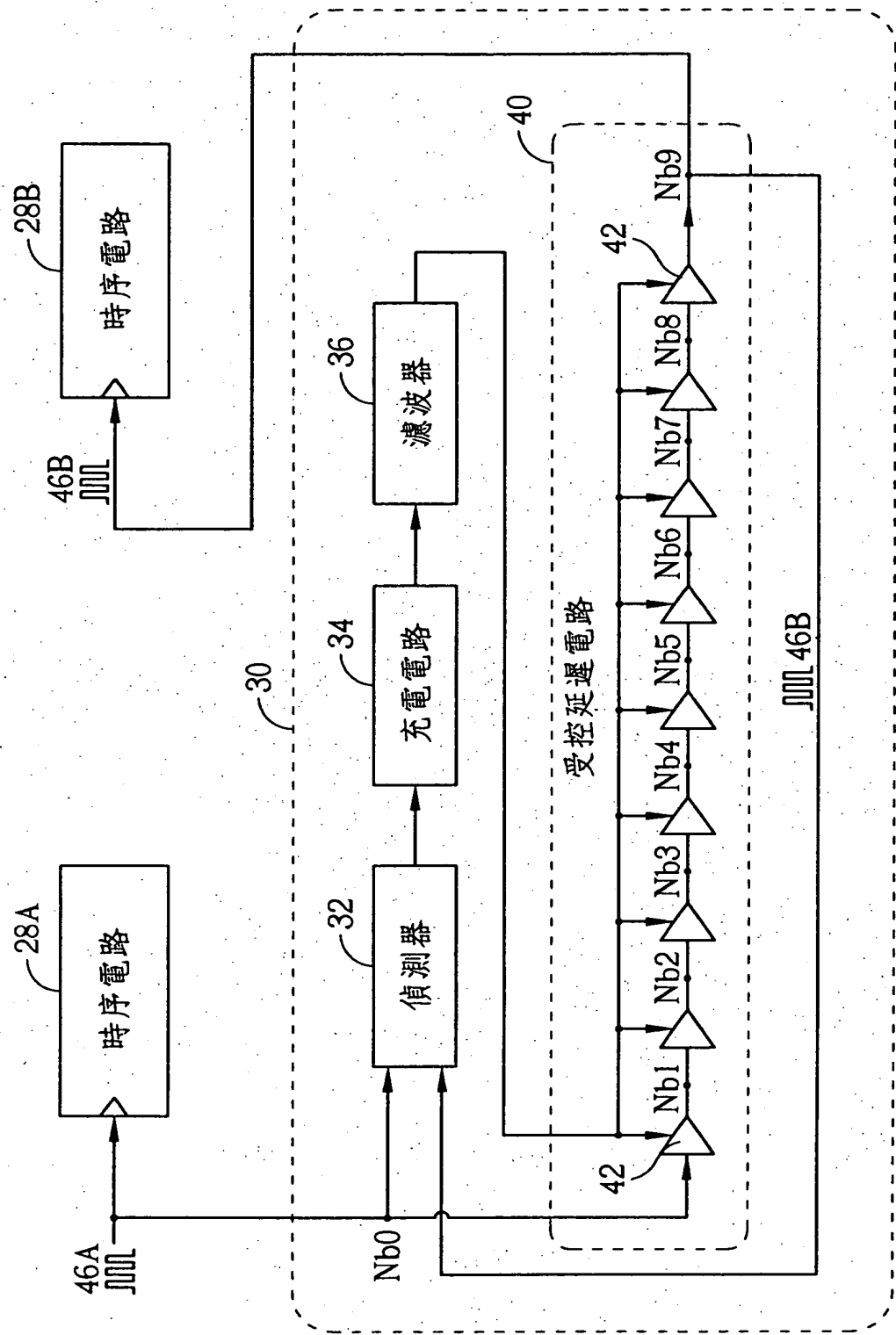




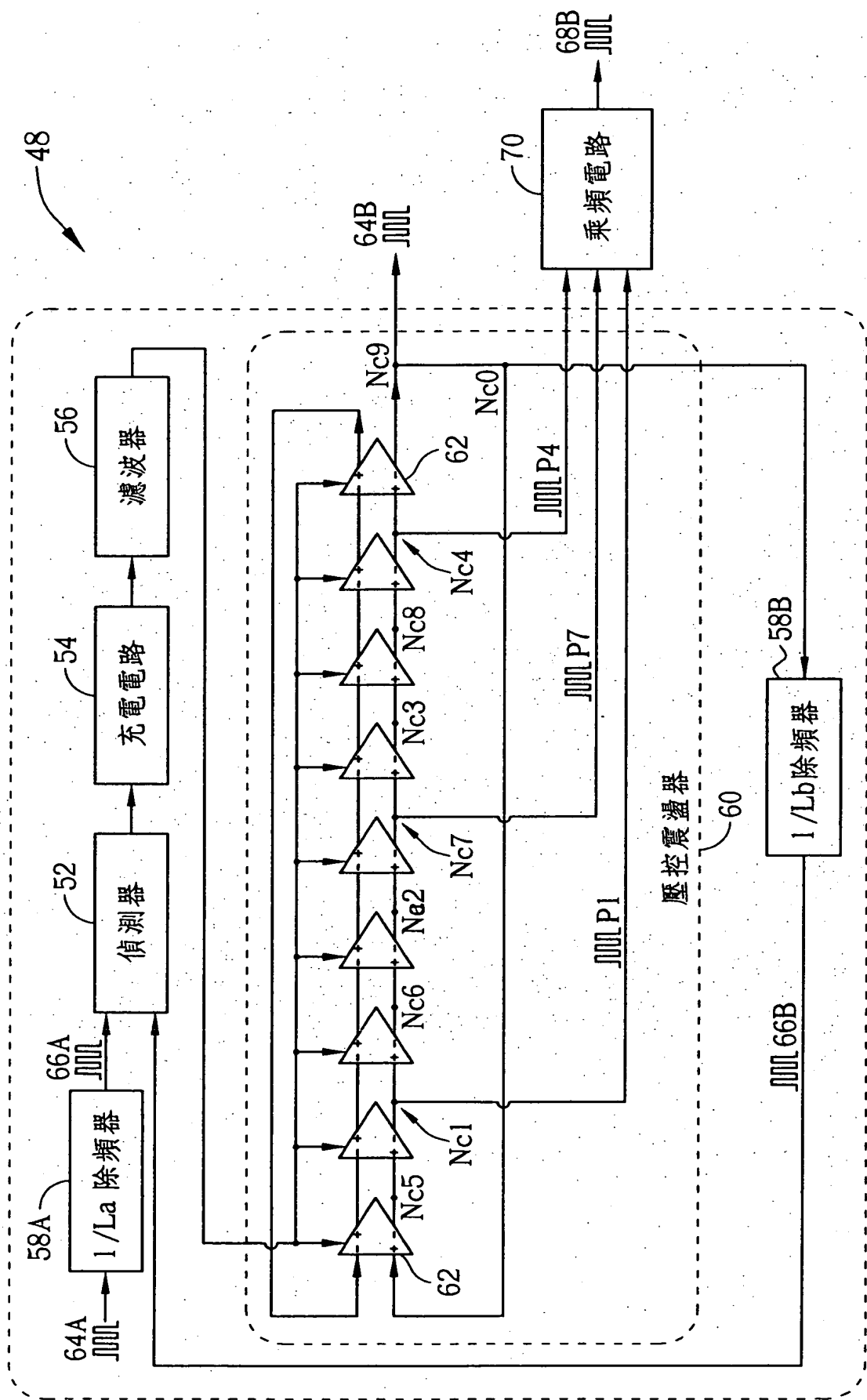
圖一



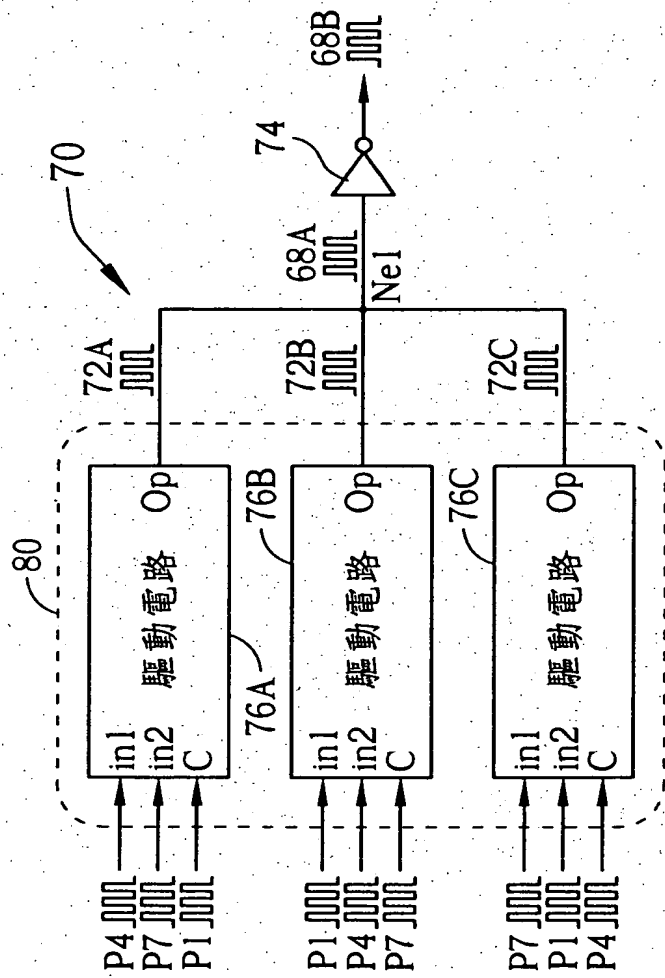
圖二



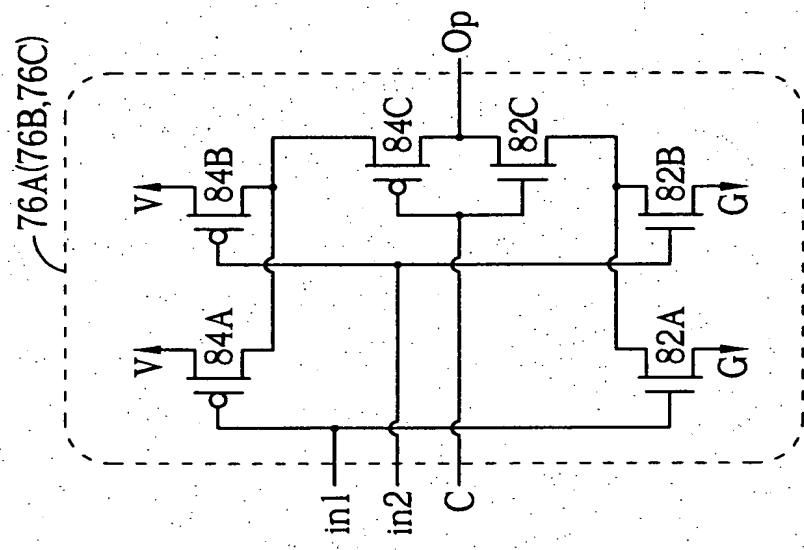
圖三



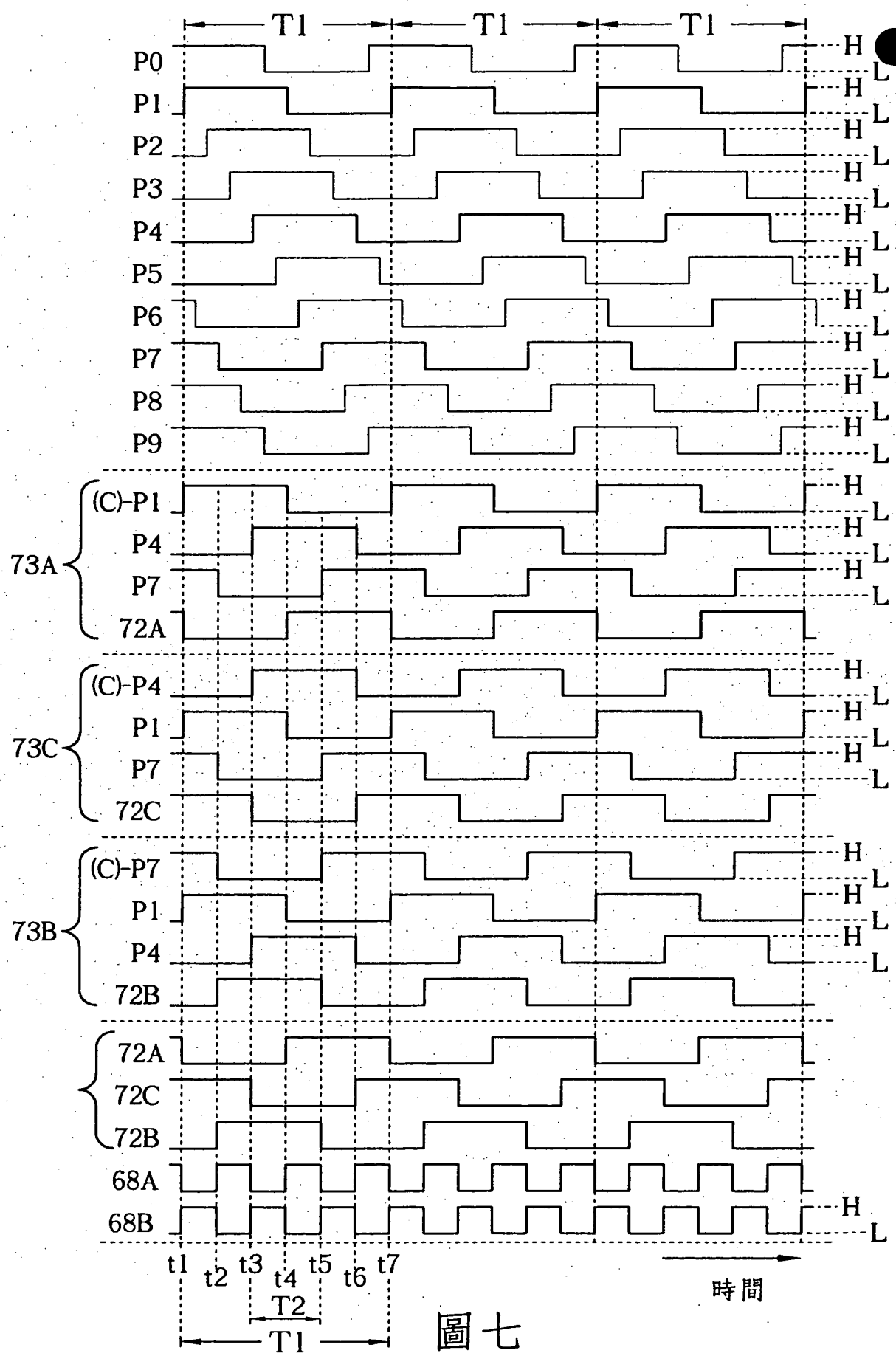
圖四



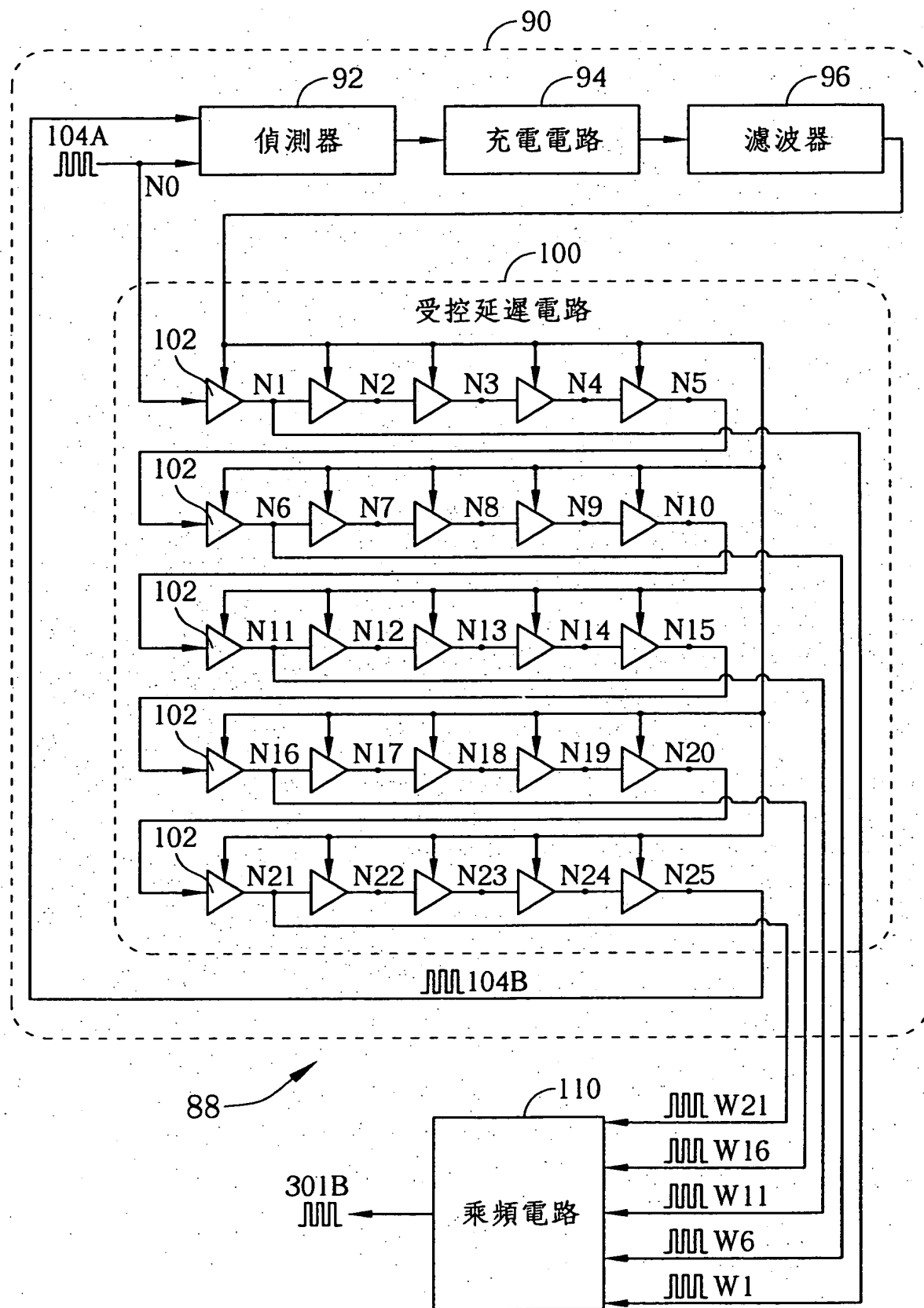
圖五



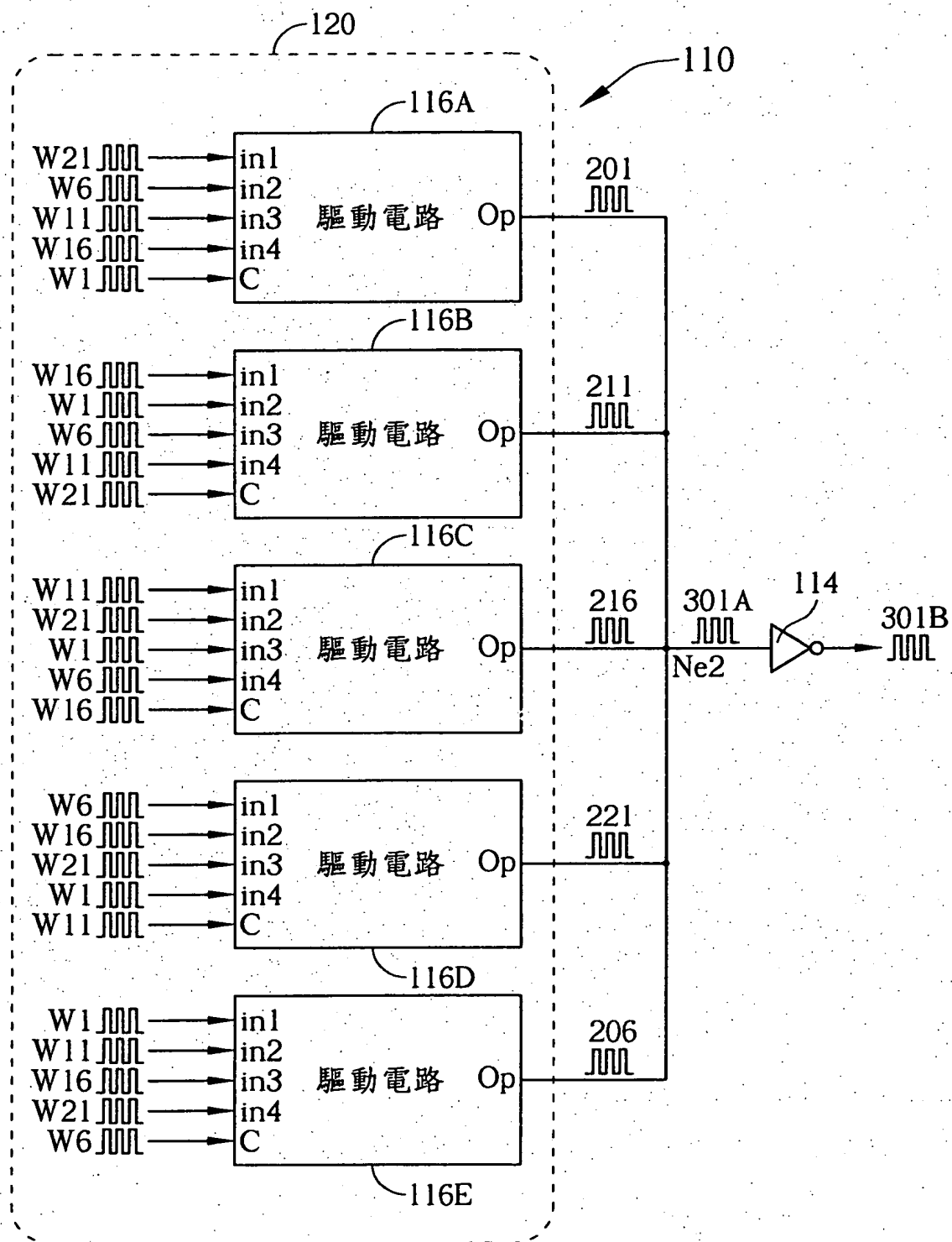
圖六



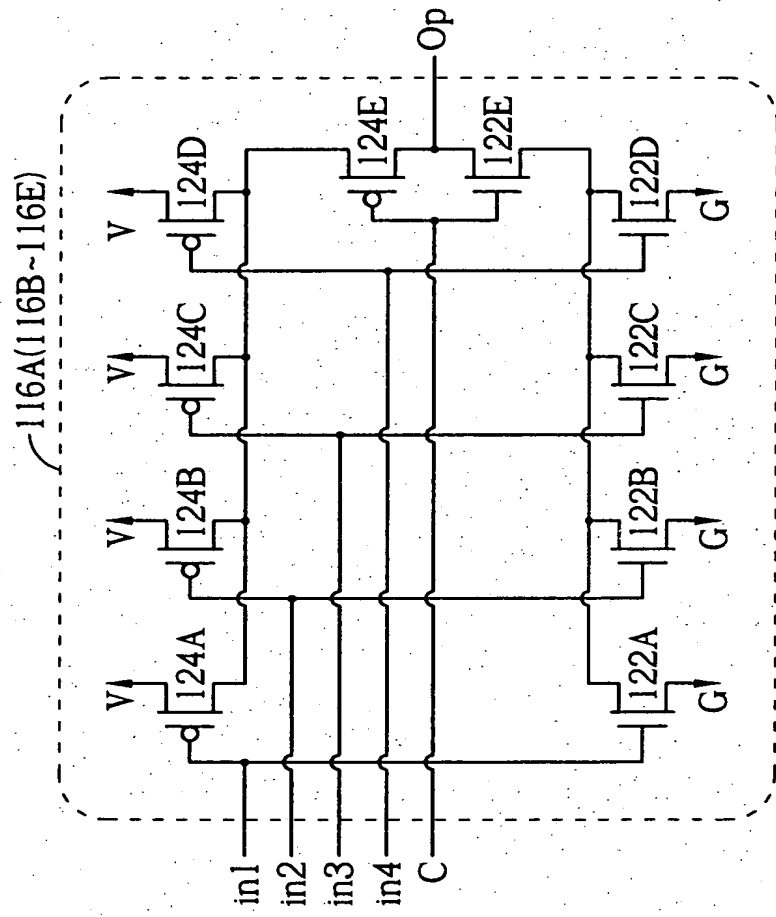
圖七



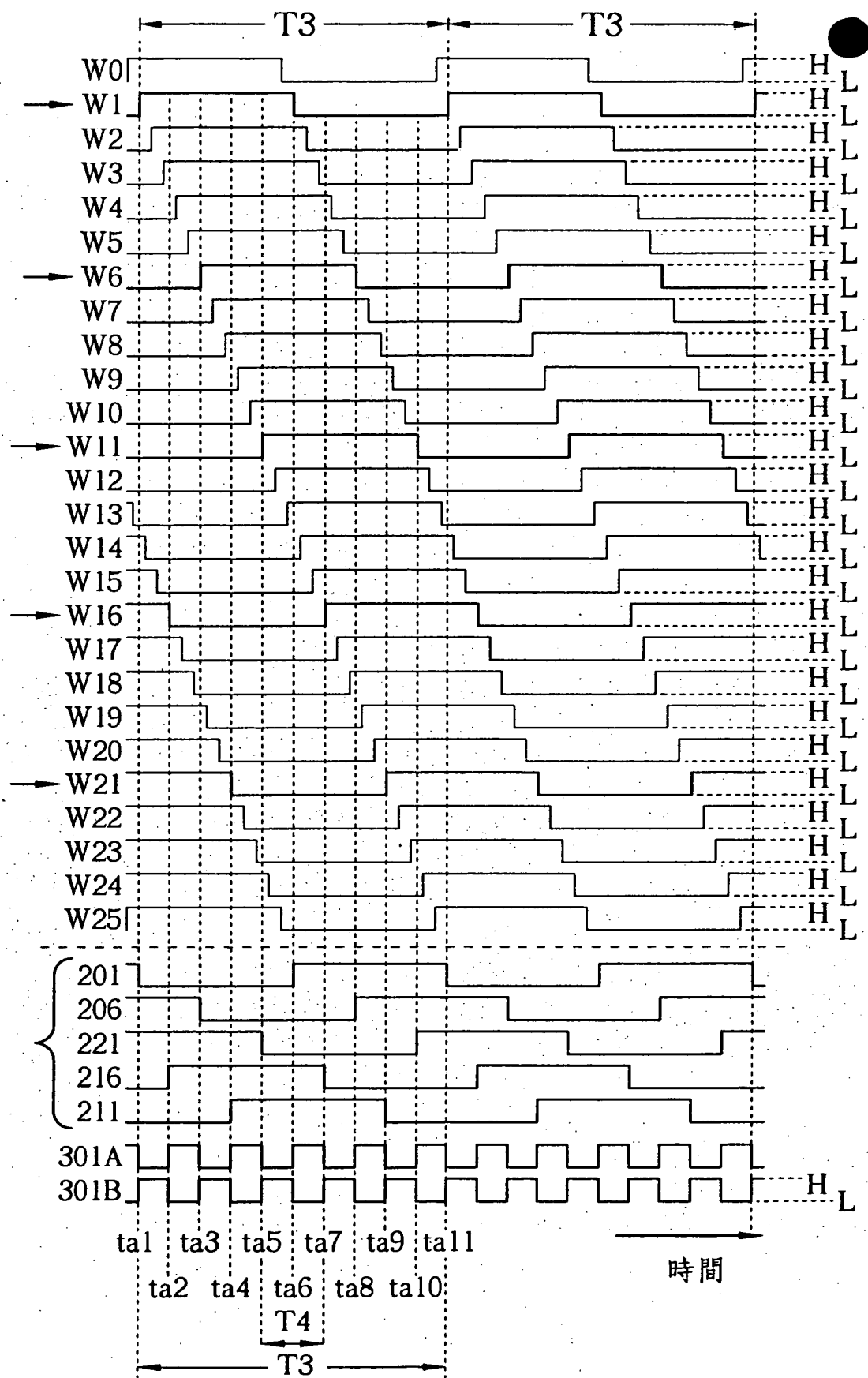
圖八



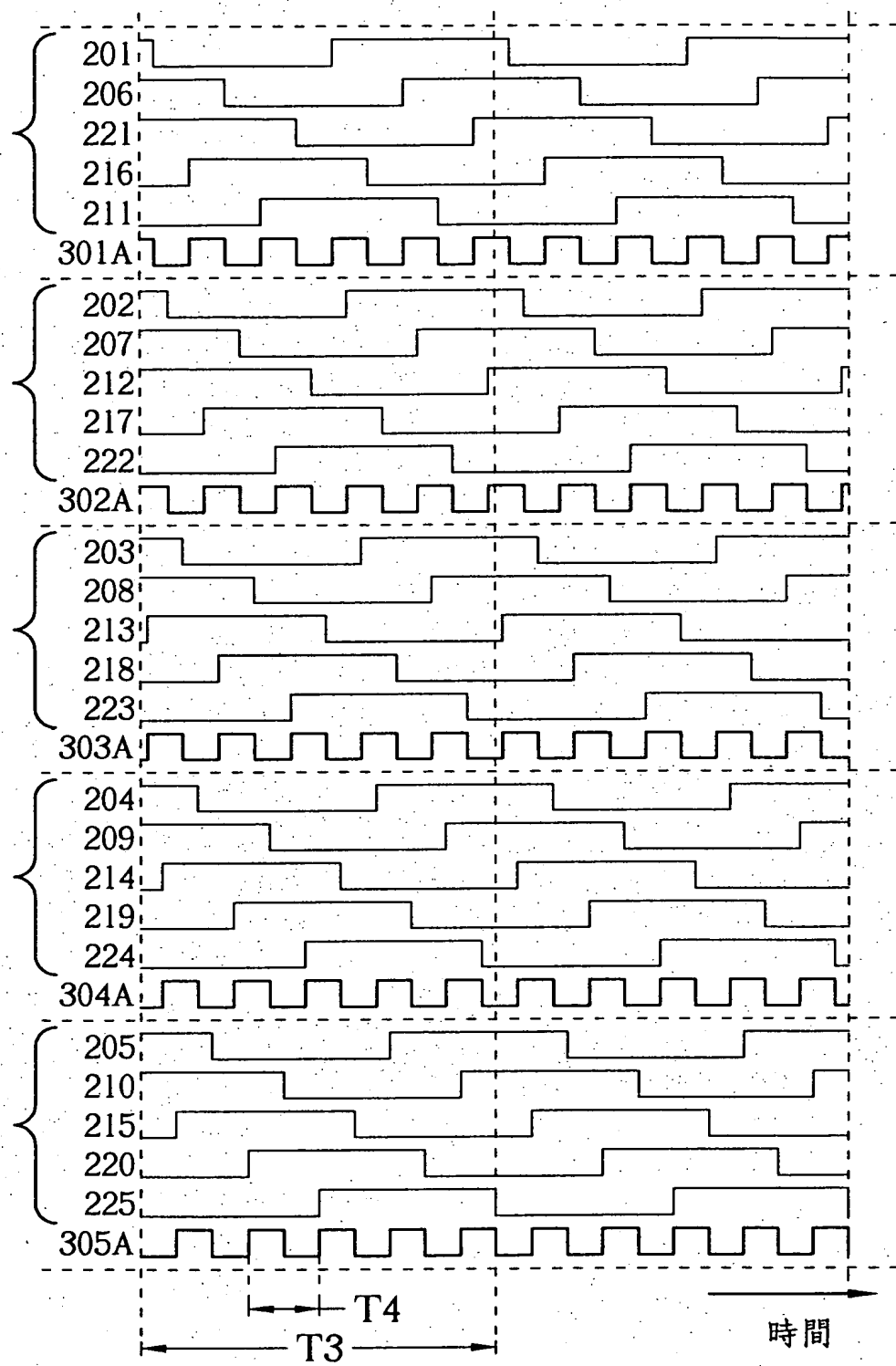
圖九



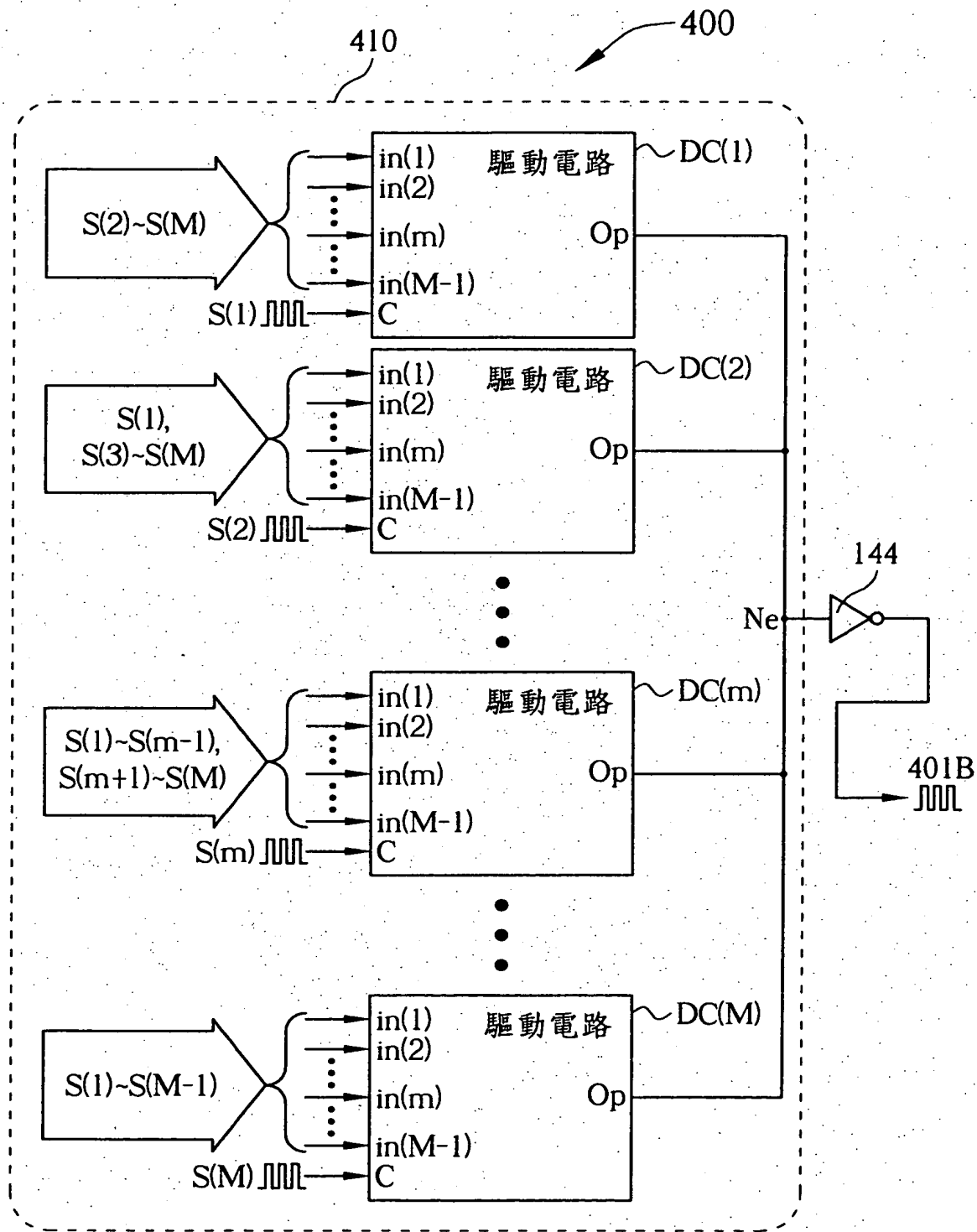
圖十



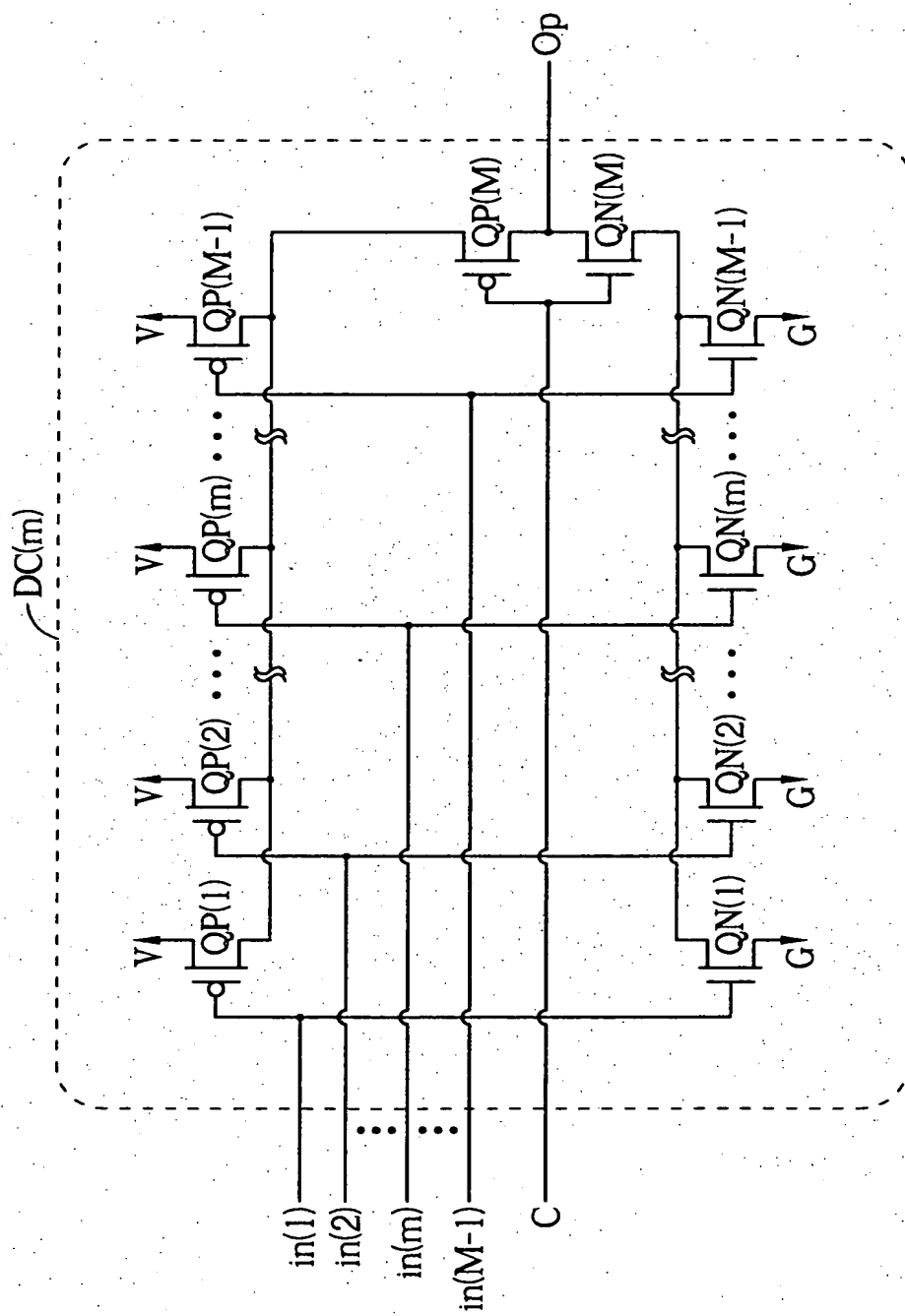
圖十一



圖十二

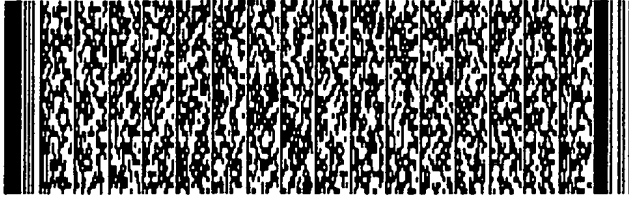


圖十三

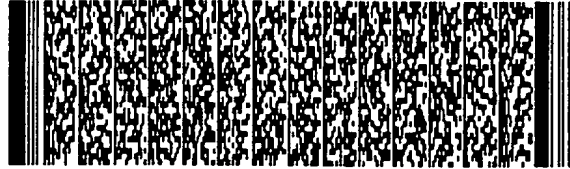


圖十四

第 1/43 頁



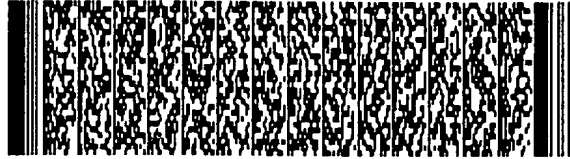
第 2/43 頁



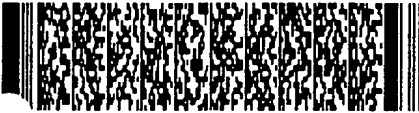
第 2/43 頁



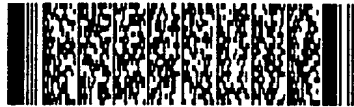
第 3/43 頁



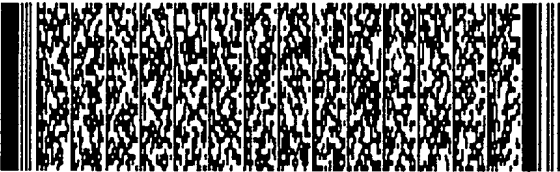
第 4/43 頁



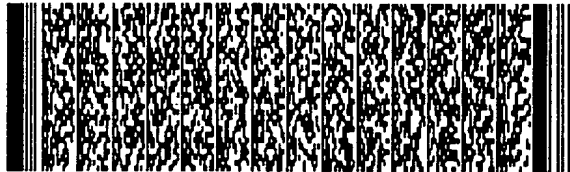
第 5/43 頁



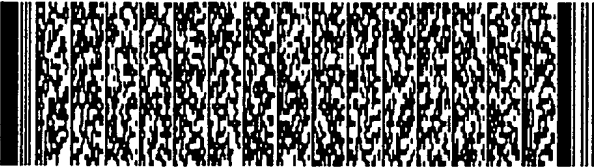
第 6/43 頁



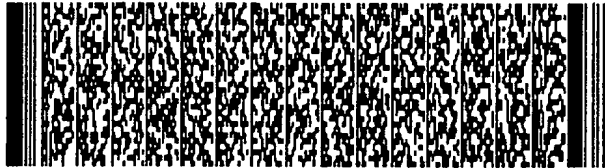
第 6/43 頁



第 7/43 頁



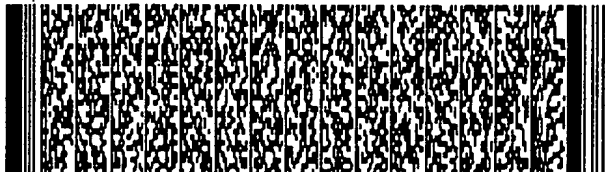
第 7/43 頁



第 8/43 頁



第 8/43 頁



第 9/43 頁



第 9/43 頁



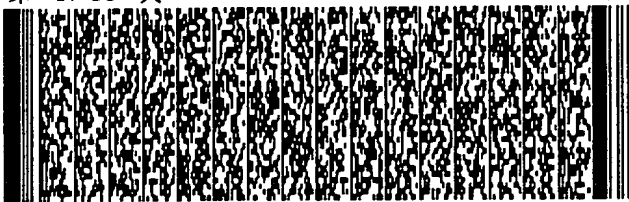
第 10/43 頁



第 10/43 頁



第 1/43 頁



第 2/43 頁



第 2/43 頁



第 3/43 頁



第 4/43 頁



第 5/43 頁



第 6/43 頁



第 6/43 頁



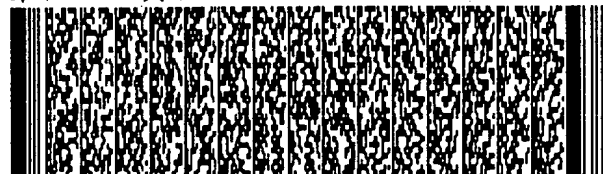
第 7/43 頁



第 7/43 頁



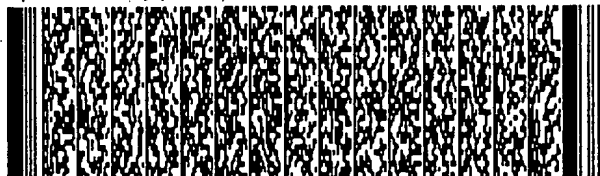
8/43 頁



第 8/43 頁



第 9/43 頁



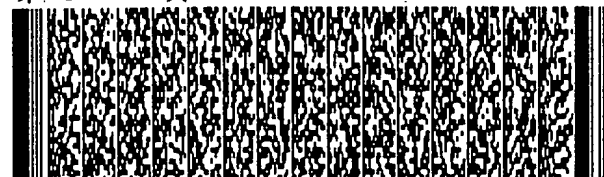
第 9/43 頁



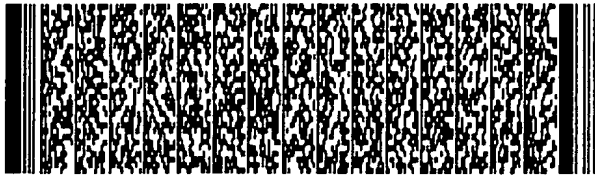
第 10/43 頁



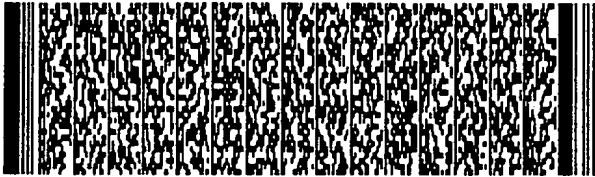
第 10/43 頁



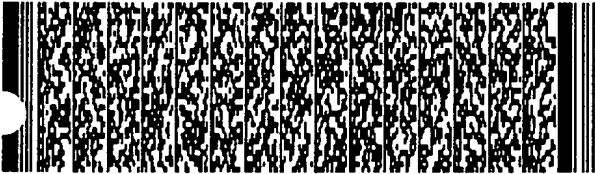
第 11/43 頁



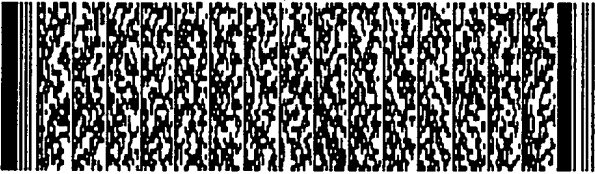
第 12/43 頁



第 13/43 頁



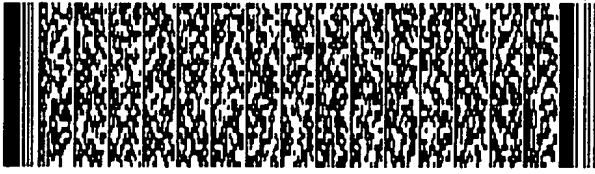
第 14/43 頁



第 15/43 頁



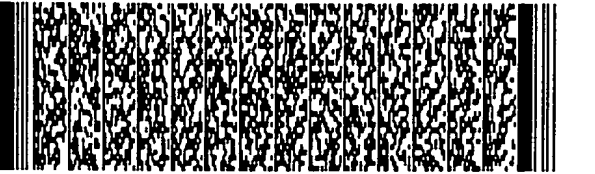
第 16/43 頁



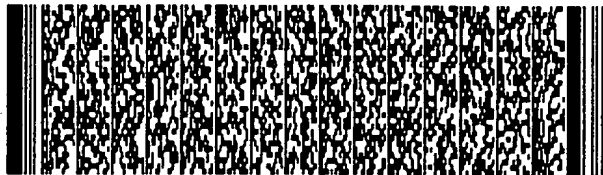
第 17/43 頁



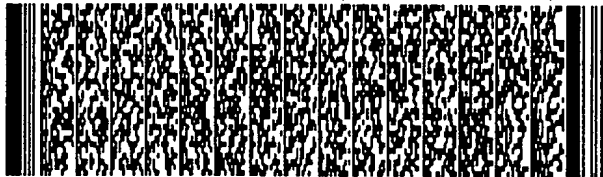
第 18/43 頁



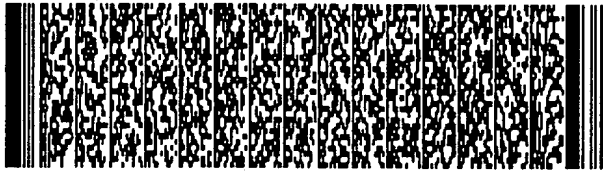
第 11/43 頁



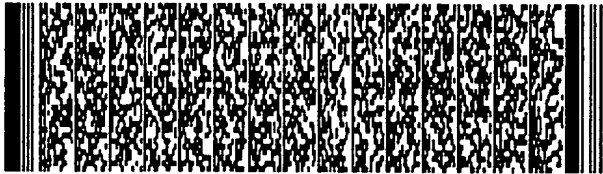
第 12/43 頁



第 13/43 頁



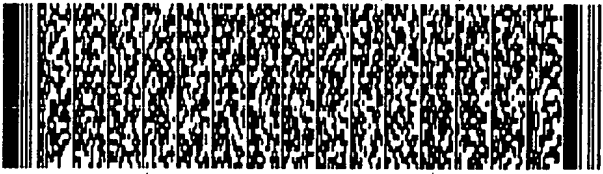
第 14/43 頁



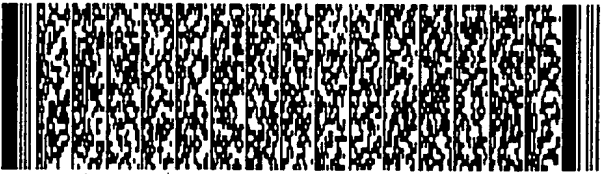
第 15/43 頁



第 16/43 頁



第 17/43 頁



第 18/43 頁



第 19/43 頁



第 19/43 頁



第 20/43 頁



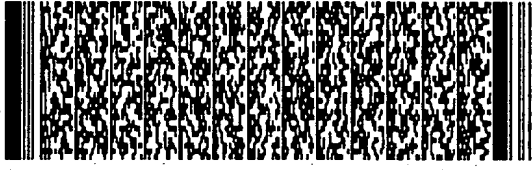
第 20/43 頁



第 21/43 頁



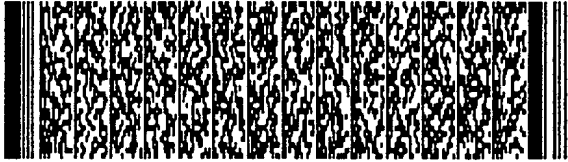
第 21/43 頁



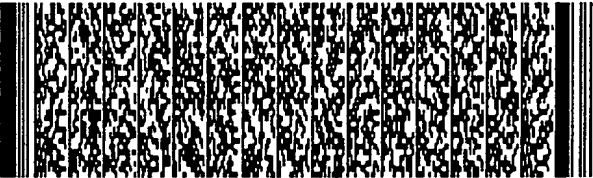
第 22/43 頁



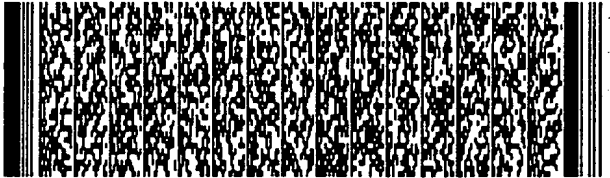
第 22/43 頁



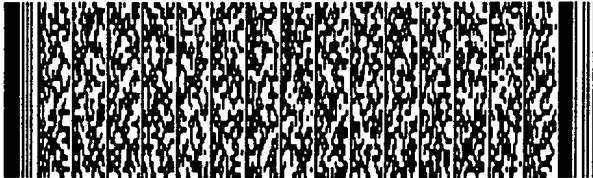
第 23/43 頁



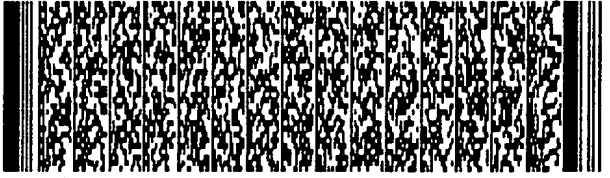
第 23/43 頁



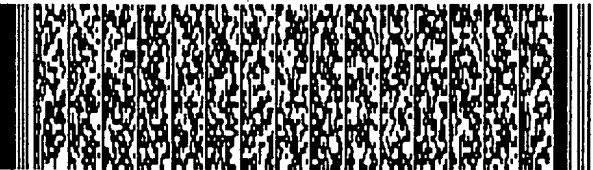
第 24/43 頁



第 24/43 頁



第 25/43 頁



第 25/43 頁



第 26/43 頁



第 26/43 頁



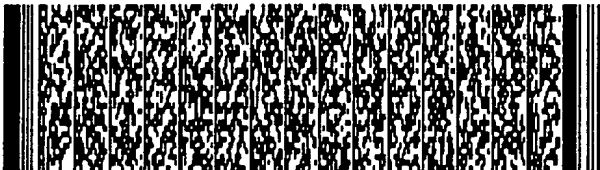
第 27/43 頁



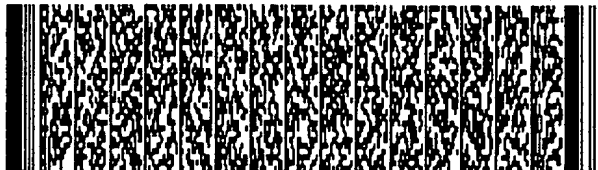
第 27/43 頁



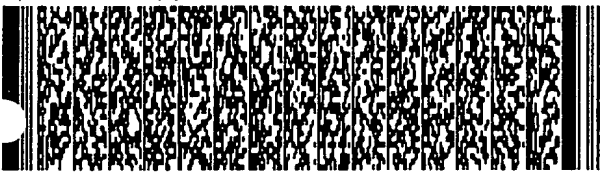
第 28/43 頁



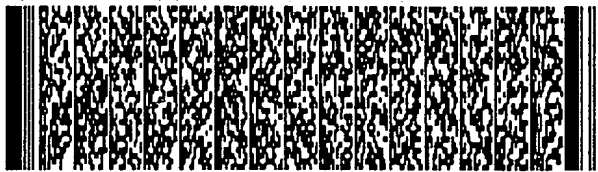
第 28/43 頁



第 29/43 頁



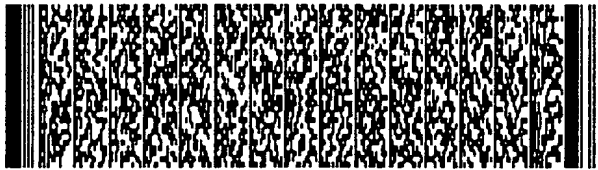
第 29/43 頁



第 30/43 頁



第 30/43 頁



第 31/43 頁



第 31/43 頁



第 32/43 頁



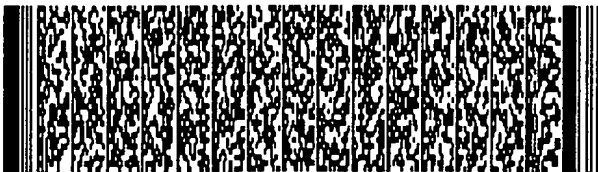
第 32/43 頁



第 33/43 頁



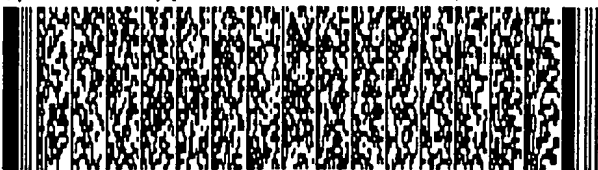
第 33/43 頁



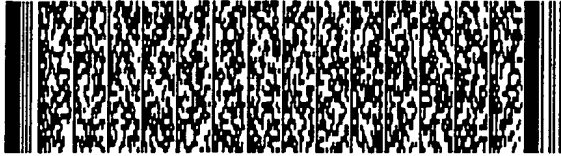
第 34/43 頁



第 35/43 頁



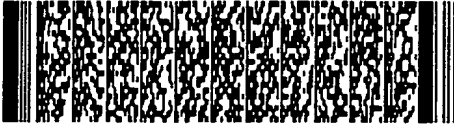
第 36/43 頁



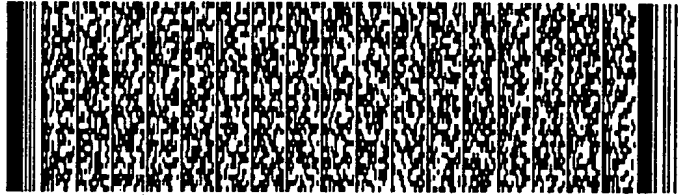
第 36/43 頁



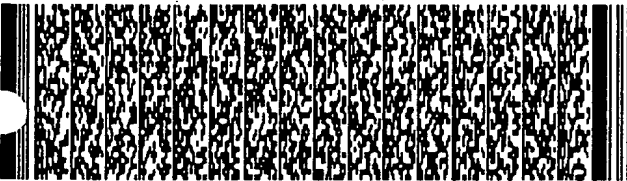
第 37/43 頁



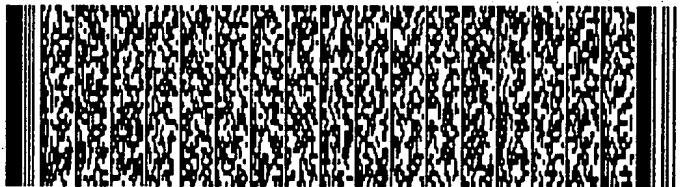
第 38/43 頁



第 39/43 頁



第 40/43 頁



第 41/43 頁



第 42/43 頁



第 43/43 頁

